



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년04월07일
(11) 등록번호 10-0819852
(24) 등록일자 2008년03월31일

(51) Int. Cl.

H01L 35/00 (2006.01)

(21) 출원번호 10-2006-0132765
(22) 출원일자 2006년12월22일
심사청구일자 2006년12월22일
(56) 선행기술조사문헌
JP2003304006 A
JP2005317648 A

(73) 특허권자

한국기계연구원

대전 유성구 장동 171번지

(72) 발명자

김현세

서울 서대문구 현저동 독립문 극동아파트
102-1001

이양래

대전 유성구 어은동 한빛아파트 111-404

이공훈

대전 유성구 전민동 엑스포아파트 306-502

(74) 대리인

윤종섭, 이 성 규, 이수완, 조진태

전체 청구항 수 : 총 10 항

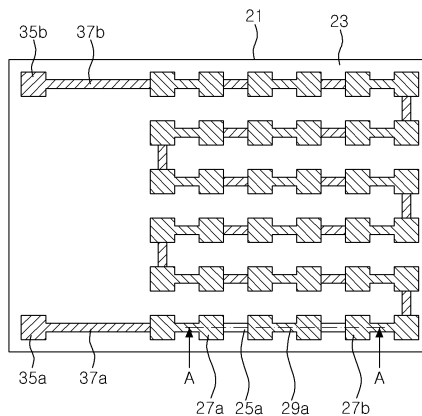
심사관 : 안철홍

(54) 마이크로 열전 모듈 및 그 제조 방법

(57) 요약

마이크로 열전 모듈 및 그 제조방법이 개시된다. 이 마이크로 열전 모듈은 하부 기판을 포함한다. 복수개의 n형 열전 반도체 및 복수개의 p형 열전 반도체들이 하부 기판 상에 교대로 배치된다. n형 및 p형 열전 반도체들은 증착된 다결정 실리콘층으로 형성된다. 한편, 하부 전극들이 하부 기판과 n형 및 p형 열전 반도체들 사이에 개재된다. 하부 전극들은 각각 인접한 n형 열전 반도체와 p형 열전 반도체를 서로 전기적으로 연결한다. 또한, 상부 전극들이 n형 및 p형 열전 반도체들 상에 위치한다. 상부 전극들은 각각 인접한 n형 열전 반도체와 p형 열전 반도체를 서로 전기적으로 연결한다. n형 열전 반도체들과 p형 열전 반도체들은 상기 하부전극들 및 상부전극들에 의해 교대로 연결되어 서로 직렬 연결된다. 증착된 다결정 실리콘층을 이용하여 열전 반도체들이 제공되므로, 반도체 제조공정을 사용하여 열전모듈을 용이하게 제조할 수 있으며, 따라서 초소형의 열전 모듈이 제공될 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

하부 기판 상에 하부 전극층을 증착하고,

상기 하부 전극층 상에 다결정 실리콘층을 증착하고,

상기 다결정 실리콘층에 이온 임플래이션 공정에 의해 선택적으로 이온들을 주입하여 교대로 배치된 복수개의 n형 영역들 및 p형 영역들을 형성하고,

상기 다결정 실리콘층을 패터닝하여 교대로 배치된 복수개의 n형 열전 반도체들 및 복수개의 p형 열전 반도체들을 형성하는 것을 포함하는 마이크로 열전 모듈 제조방법.

청구항 9

청구항 8에 있어서,

상기 하부 전극층을 증착하기 전, 절연층을 증착하는 것을 더 포함하는 마이크로 열전 모듈 제조방법.

청구항 10

삭제

청구항 11

청구항 8에 있어서,

상기 하부 전극층을 패터닝하여 각각 인접한 n형 열전 반도체와 p형 열전 반도체를 서로 전기적으로 연결하는 하부 전극들을 형성하는 것을 더 포함하는 마이크로 열전 모듈 제조방법.

청구항 12

청구항 11에 있어서,

상기 다결정 실리콘층을 패터닝한 후에, 상기 하부 전극층이 패터닝되는 마이크로 열전 모듈 제조방법.

청구항 13

청구항 8에 있어서,

각각 n형 열전 반도체와 p형 열전 반도체를 서로 전기적으로 연결하는 상부 전극들을 형성하는 것을 더 포함하
되,

상기 상부 전극들은 리프트 오프 기술을 사용하여 형성되는 마이크로 열전 모듈 제조방법.

청구항 14

청구항 8에 있어서,

상기 다결정 실리콘층을 패터닝하기 전에, 상기 다결정 실리콘층 상에 전극 패드층을 형성하고,

상기 전극패드층을 패터닝하여 상기 n형 영역들 및 p형 영역들 내에 한정된 전극패드들을 형성하는 것을 더 포
함하는 마이크로 열전 모듈 제조방법.

청구항 15

하부 기판 상에 하부 전극층 및 다결정 실리콘층을 증착하고,

상기 하부 기판 상의 다결정 실리콘층 내에 선택적으로 이온들을 주입하여 복수개의 제1 도전형 영역들을 형성
하고,

상기 다결정 실리콘층을 패터닝하여 서로 이격된 복수개의 제1 도전형 열전 반도체들을 형성하고,

상기 하부 전극층을 패터닝하여 각각 상기 제1 도전형 열전 반도체의 외부로 연장된 연장부를 갖는 하부 전극들
을 형성하고,

상기 하부 기판과 별개의 상부 기판 상에 상부 전극층 및 다결정 실리콘층을 형성하고,

상기 상부 기판 상의 다결정 실리콘층 내에 선택적으로 이온들을 주입하여 복수개의 제2 도전형 영역들을 형성
하고,

상기 상부 기판 상의 다결정 실리콘층을 패터닝하여 서로 이격된 복수개의 제2 도전형 열전 반도체들을 형성하
고,

상기 상부 전극층을 패터닝하여 각각 상기 제2 도전형 열전 반도체의 외부로 연장된 연장부를 갖는 상부 전극들
을 형성하고,

상기 제1 도전형 열전 반도체들과 상기 제2 도전형 열전 반도체들이 서로 직렬 연결되도록 상기 제1 도전형 열
전 반도체들의 단부들을 상기 상부 전극들의 연장부들에 각각 접합하고, 상기 제2 도전형 열전 반도체들의 단부
들을 상기 하부 전극들의 연장부들에 각각 접합하는 것을 포함하는 마이크로 열전 모듈 제조방법.

청구항 16

청구항 15에 있어서,

상기 하부 및 상부 기판 상에 각각 상기 하부 및 상부 전극층을 형성하기 전에, 상기 하부 및 상부 기판 상에
각각 절연층을 형성하는 것을 더 포함하는 마이크로 열전 모듈 제조방법.

청구항 17

삭제

청구항 18

청구항 15에 있어서,

상기 다결정 실리콘층들 내에 이온들을 주입하는 것은 이온 임플랜테이션 공정에 의해 수행되는 마이크로 열전
모듈 제조방법.

청구항 19

청구항 15에 있어서,

상기 제1 도전형 및 제2 도전형 열전 반도체들 상에 전극 패드들을 형성하고, 상기 전극 패드들이 상기 연장부들에 접합되는 마이크로 열전 모듈 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <6> 본 발명은 열전 모듈 및 그 제조방법에 관한 것으로, 더욱 상세하게는 소형 전자제품 등의 발전기 또는 냉각기로 사용될 수 있는 마이크로 열전 모듈 및 그 제조방법에 관한 것이다.
- <7> 휴대 전자 제품의 사용 증가에 따라 휴대용 전기 발전기에 대한 요구가 증가되어 왔으며, 열전(thermoelectric) 발전기가 특히 유용한 것으로 알려져 있다. 이러한 열전 모듈은 산업용 기기, 휴대용 진단 기기 등에 다양하게 응용되고 있다.
- <8> 도 1은 이러한 열전 발전기의 기본적인 동작을 설명하기 위한 개략적인 단면도이다.
- <9> 도 1을 참조하면, 하부 기판(11)과 상부 기판(17) 사이에 n형 열전 반도체와 p형 열전 반도체가 배치된다. 상기 n형 열전 반도체와 p형 열전 반도체는 하부 전극(13) 및 상부 전극(15)에 의해 서로 직렬 연결된다.
- <10> 상기 상부 기판(17)에 열이 가해지면, 상부 기판(17)의 온도가 상승하고, 상부 기판(17)과 하부 기판(11) 사이에 온도 구배가 발생된다. 이에 따라, 열확산이 발생하여, n형 반도체 내의 전자들 및 p형 반도체 내의 홀들이 상부 전극(15)으로부터 하부전극(13a, 13b)으로 이동한다. 상기 캐리어들의 이동에 의해, 도 1에 도시된 바와 같이, 하부전극(13a)은 양전위를 갖게 되고, 하부전극(13b)은 음전위를 갖게 되어, 부하(19)의 양단에 기전력이 발생된다. 온도 구배에 의한 기전력의 발생은 제벡(seebeck) 효과로 알려져 있다. 이와 반대로, 상기 하부전극들(13a, 13b)에 전원을 연결하여 상기 n형 열전 반도체 및 p형 열전 반도체에 직류 전류를 흐르게 함으로써 하부 기판(11) 또는 상부 기판(17)을 냉각시킬 수 있다. 이러한 냉각 작용은 펠티에(peltier) 효과로 잘 알려져 있다.
- <11> 열전 모듈은 일반적으로 기판 상에 하부 전극들을 형성하고, 상기 하부 전극들에 복수개의 n형 열전 반도체 및 p형 열전 반도체들을 부착하고, 상기 열전 반도체들을 연결하는 상부전극들을 형성함으로써 제조된다. 그러나, 열전 반도체들을 개별적으로 제작하여 부착함에 따라, 열전 모듈의 제조 공정이 복잡하고, 또한 초소형의 열전 모듈 제작에 한계가 있다. 특히, 소형 전자제품들에 사용되는 열전 모듈은 초소형으로 제작될 필요가 있으며, 이러한 열전 모듈은 부탄이나 프로판을 연소시켜 열을 생성하는 마이크로 연소기와 같은 열원을 이용하여 비교적 높은 온도 구배에서 동작될 수도 있으며, 체열 등 다양한 종류의 작은 폐열을 이용하여 비교적 낮은 온도 구배에서 동작될 수도 있다.

발명이 이루고자 하는 기술적 과제

- <12> 본 발명이 이루고자 하는 기술적 과제는, 소형 전자 제품에 사용될 수 있는 마이크로 열전 모듈 및 그것을 제조하는 방법을 제공하는 데 있다.
- <13> 본 발명이 이루고자 하는 다른 기술적 과제는, 제조 공정이 단순한 마이크로 열전 모듈을 제공하는 데 있다.

발명의 구성 및 작용

- <14> 상기 기술적 과제들을 이루기 위하여, 본 발명은 마이크로 열전 모듈 및 그것을 제조하는 방법을 제공한다. 본 발명의 일 태양에 따른 마이크로 열전 모듈은 하부 기판을 포함한다. 복수개의 n형 열전 반도체들 및 복수개의 p형 열전 반도체들이 상기 하부 기판 상에 교대로 배치된다. 상기 n형 p형 열전 반도체들은 증착된 다결정 실리콘층으로 형성된다. 한편, 하부 전극들이 상기 하부 기판과 상기 n형 및 p형 열전 반도체들 사이에 개재된다. 상기 하부 전극들은 각각 인접한 n형 열전 반도체와 p형 열전 반도체를 서로 전기적으로 연결한다. 또한, 상부

전극들이 상기 n형 및 p형 열전 반도체들 상에 위치한다. 상기 상부 전극들은 각각 인접한 n형 열전 반도체와 p형 열전 반도체를 서로 전기적으로 연결한다. 상기 n형 열전 반도체들과 상기 p형 열전 반도체들은 상기 하부전극들 및 상부전극들에 의해 교대로 연결되어 서로 직렬 연결된다.

- <15> 본 태양에 따르면, 증착된 다결정 실리콘층을 이용하여 열전 반도체들이 제공되므로, 반도체 제조공정을 사용하여 열전모듈을 용이하게 제조할 수 있다. 또한, 반도체 제조공정을 사용하여 제조될 수 있어 초소형의 열전 모듈이 제공될 수 있다.
- <16> 상기 하부 기판은 실리콘 기판일 수 있다. 실리콘 기판은 열전도율이 상대적으로 높아 외부의 열을 하부 전극들로 또는 하부전극들로부터 외부로 전달하여 열전모듈의 구동 성능을 향상시킨다.
- <17> 또한, 상기 하부 기판과 상기 하부전극들 사이에 절연층이 개재될 수 있다. 절연층은 하부전극들과 상기 하부 기판이 단락되는 것을 방지한다. 상기 절연층은 예컨대 실리콘 산화막일 수 있다.
- <18> 한편, 상부 기판이 상기 상부전극들을 덮을 수 있다. 상기 상부 기판은 실리콘 기판일 수 있으며, 상기 상부 기판과 상기 상부전극들 사이에 절연층이 개재될 수 있다.
- <19> 한편, 상기 하부전극은 알루미늄(Al), 텅스텐(W) 또는 질화티탄(TiN)과 같은 금속층을 포함할 수 있다.
- <20> 또한, 상기 n형 열전 반도체들 및 p형 열전 반도체들과 상기 상부 전극들 사이에 전극 패드들이 개재될 수 있다. 상기 전극 패드들은 상부 전극과 동일한 물질로 형성될 수 있으나, 이에 한정되지 않는다. 상기 전극 패드들은 상기 열전 반도체들과 상부 전극들의 접촉 특성을 향상시킨다.
- <21> 본 발명의 다른 태양에 따른 열전 모듈 제조방법은 하부 기판 상에 하부 전극층을 증착하는 것을 포함한다. 상기 하부 전극층 상에 다결정 실리콘층이 증착되고, 상기 다결정 실리콘층에 선택적으로 이온들이 주입되어 교대로 배치된 복수개의 n형 영역들 및 p형 영역들이 형성된다. 이어서, 상기 다결정 실리콘층을 패터닝하여 교대로 배치된 복수개의 n형 열전 반도체들 및 복수개의 p형 열전 반도체들이 형성된다. 이에 따라, 박막증착, 이온 주입 공정 및 패터닝 공정에 의해 열전 모듈을 용이하게 제조할 수 있다.
- <22> 한편, 상기 하부 전극층을 증착하기 전, 절연층이 증착될 수 있다. 상기 절연층은 예컨대, 실리콘 산화막으로 형성될 수 있다.
- <23> 상기 이온주입은 이온 임플란테이션 공정에 의해 수행될 수 있다. 이때, 이온 임플란테이션 에너지를 조절하여 이온 주입 깊이를 조절할 수 있으며, 이온 주입 에너지를 변경하여 이온들을 주입함으로써 다결정 실리콘 층 내에 균일하게 이온들을 분포시킬 수 있다. 또한, 다결정 실리콘층 증착 및 이온 주입 공정을 반복함으로써 상대적으로 두꺼운 다결정 실리콘층 내에 이온들을 균일하게 분포시킬 수도 있다.
- <24> 한편, 상기 하부 전극층을 패터닝하여 각각 인접한 n형 열전 반도체와 p형 열전 반도체를 서로 전기적으로 연결하는 하부 전극들이 형성된다. 상기 하부 전극층은 상기 다결정 실리콘층을 증착하기 전에 패터닝될 수 있으며, 이와 달리, 상기 다결정 실리콘층을 패터닝한 후에, 패터닝될 수도 있다.
- <25> 또한, 각각 n형 열전 반도체와 p형 열전 반도체를 서로 전기적으로 연결하는 상부 전극들이 형성될 수 있다. 상기 상부 전극들은 리프트 오프 기술을 사용하여 형성될 수 있다. 이와 달리, 상기 상부 전극들이 상부 기판 상에 형성된 후, 상기 열전 반도체들에 접합될 수 있다. 상기 상부 전극들 및 상기 하부 전극들에 의해 상기 n형 열전 반도체들과 상기 p형 열전 반도체들이 직렬 연결된다.
- <26> 한편, 상기 다결정 실리콘층을 패터닝하기 전에, 상기 다결정 실리콘층 상에 전극 패드층이 형성될 수 있다. 상기 전극패드층을 패터닝하여 상기 n형 영역들 및 p형 영역들 내에 한정된 전극패드들이 형성된다. 이때, 상기 상부 전극들은 상기 전극패드들을 전기적으로 연결한다.
- <27> 본 발명의 또 다른 태양에 따른 열전 모듈 제조방법은 두 개의 기판들 상에 각각 n형 열전 반도체들 및 p형 열전 반도체들을 형성하고, 상기 두 개의 기판들을 서로 결합시키는 것을 특징으로 한다.
- <28> 즉, 상기 열전 모듈 제조 방법은 하부 기판 상에 하부 전극층 및 다결정 실리콘층을 증착하는 것을 포함한다. 상기 다결정 실리콘층을 패터닝하여 서로 이격된 복수개의 제1 도전형 열전 반도체들이 형성된다. 한편, 상기 하부 전극층을 패터닝하여 각각 상기 제1 도전형 열전 반도체의 외부로 연장된 연장부를 갖는 하부 전극들이 형성된다. 이에 더하여, 상기 하부 기판과 별개의 상부 기판 상에 상부 전극층 및 다결정 실리콘층이 형성된다. 상기 상부 기판 상의 다결정 실리콘층을 패터닝하여 서로 이격된 복수개의 제2 도전형 열전 반도체들이 형성된다. 한편, 상기 상부 전극층을 패터닝하여 각각 상기 제2 도전형 열전 반도체의 외부로 연장된 연장부를 갖는

상부 전극들이 형성된다. 그 후, 상기 제1 도전형 열전 반도체들과 상기 제2 도전형 열전 반도체들이 서로 직렬 연결되도록 상기 제1 도전형 열전 반도체들의 단부들이 상기 상부 전극들의 연장부들에 각각 접합되고, 상기 제2 도전형 열전 반도체들의 단부들이 상기 하부 전극들의 연장부들에 각각 접합된다.

- <29> 한편, 상기 하부 및 상부 기판 상에 각각 상기 하부 및 상부 전극층을 형성하기 전에, 상기 하부 및 상부 기판 상에 각각 절연층이 형성될 수 있다. 상기 절연층은 상기 하부 및 상부 전극들과 상기 하부 및 상부 기판을 각각 절연시킨다.
- <30> 상기 하부 기판 상의 다결정 실리콘층은 n형으로 도핑되어 증착될 수 있으며, 상기 상부 기판 상의 다결정 실리콘층은 p형으로 도핑되어 증착될 수 있다. 상기 다결정 실리콘층들이 n형 및 p형으로 도핑된 경우, 별도의 이온 주입 공정은 생략될 수 있다. 한편, 상기 다결정 실리콘층들은 도핑 없이 증착될 수 있으며, 이 경우, 상기 하부 기판 상의 다결정 실리콘층 내에 선택적으로 이온들을 주입하여 복수개의 제1 도전형 영역들이 형성되고, 상기 상부 기판 상의 다결정 실리콘층 내에 선택적으로 이온들을 주입하여 복수개의 제2 도전형 영역들이 형성된다.
- <31> 이에 더하여, 상기 다결정 실리콘층들 내에 이온들을 주입하는 것은 이온 임플래이션 공정에 의해 수행될 수 있다.
- <32> 앞의 태양에 따르면, n형 영역들을 형성하기 위해 이온들을 주입하고, 다시 p형 영역들을 형성하기 위해 이온들을 주입하므로, 하나의 기판 상에 여러 종류의 이온들이 주입된다. 한편, 본 태양에 따르면, 하나의 기판 상에 한 종류의 열전 반도체들이 형성되므로, 이온 주입 공정이 단순해진다. 더욱이, n형 및 p형의 다결정 실리콘층들을 증착함으로써 별개의 이온 주입 공정이 생략될 수도 있다.
- <33> 한편, 상기 제1 도전형 및 제2 도전형 열전 반도체들 상에 전극 패드들이 형성되고, 상기 전극 패드들이 상기 연장부들에 접합될 수 있다.
- <34> 이하, 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 구성요소의 폭, 길이, 두께 등은 편의를 위하여 과장되어 표현될 수 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- <35> 도 2는 본 발명의 일 실시예에 따른 마이크로 열전 모듈을 설명하기 위한 평면도이고, 도 3은 도 2의 절취선 A-A를 따라 취해진 단면도이다. 도 3에 상부 기판(33)을 추가로 도시하였다.
- <36> 도 2 및 도 3을 참조하면, 하부 기판(21) 상에 복수개의 n형 열전 반도체들(27a) 및 복수개의 p형 열전 반도체들(27b)이 교대로 배열되어 있다. 상기 하부 기판(21)은 특히 제한되지는 않으며, 예컨대 단결정 실리콘 기판일 수 있다. 또한, n형 열전 반도체들(27a) 및 p형 열전 반도체들(27b)은 증착된 다결정 실리콘층으로 형성된다. 다결정 실리콘층은 보론(B) 또는 인(P) 이온들이 주입됨으로써 n형 또는 p형의 도전형을 나타낸다.
- <37> 한편, 하부 기판(21)과 상기 n형 및 p형 열전 반도체들(27a, 27b) 사이에 하부 전극들(25a)이 개재된다. 하부 전극들(25a)은, 도 3에 도시된 바와 같이, 각각 인접한 n형 열전 반도체(27a)와 p형 열전 반도체(27b)를 서로 전기적으로 연결한다. 또한, 상부 전극들(31)이 상기 n형 및 p형 열전 반도체들(27a, 27b) 상에 위치하고, 각각 인접한 n형 열전 반도체(27a)와 p형 열전 반도체(27b)를 서로 전기적으로 연결한다. 상기 하부 전극들(25a)과 상기 상부 전극들(29a)은 n형 열전 반도체들(27a)과 p형 열전 반도체들(27b)을 교대로 연결하여 하부 기판(21) 상에서 상기 열전 반도체들(27a, 27b)을 직렬 연결시킨다.
- <38> 상기 하부 전극들(25a)은, 예컨대 알루미늄(Al), 텅스텐(W) 또는 질화티탄(TiN)을 포함하는 금속층으로 형성될 수 있으며, 상기 상부 전극들(29a) 또한 예컨대 알루미늄, 텅스텐 또는 질화티탄을 포함하는 금속층으로 형성될 수 있다.
- <39> 이에 더하여, n형 열전 반도체들(27a) 및 p형 열전 반도체들(27b)과 상부 전극들(31) 사이에 전극 패드들(31)이 개재될 수 있다. 전극 패드들(31)은 상기 열전 반도체들(27a, 27b) 상에 형성되며, 상기 상부 전극들(31)과 동일한 물질로 형성될 수 있으나, 이에 한정되는 것은 아니며, 다른 물질로 형성될 수도 있다.
- <40> 한편, 하부 전극들(25a)과 하부 기판(21) 사이에 절연층(23)이 개재될 수 있다. 절연층(23)은 하부 기판(21)과 하부 전극들을 전기적으로 절연시키며, 따라서 도전성 기판을 상기 하부 기판(21)으로 채택할 수 있다. 상기 절연층(23)은 특별히 제한되는 것은 아니나, 실리콘 산화막으로 형성될 수 있으며, 예컨대 TEOS 막으로 형성될 수

있다.

- <41> 한편, 상부 기관(33)이 상기 상부 전극들(31)을 덮을 수 있다. 상기 상부 기관(33)은 하부 기관(21)과 동일한 종류의 기관일 수 있으나, 이에 한정되는 것은 아니며, 하부 기관(21)과 다른 기관일 수 있다. 한편, 상기 상부 기관(33)과 상기 상부 전극들(31) 사이에 절연층(도시하지 않음)이 개재되어 상기 상부 기관과 상부 전극들을 전기적으로 절연시킬 수 있다.
- <42> 한편, 도 2에 도시된 바와 같이, 하부 기관(21) 상에 패드들(35a, 35b)이 형성되고, 리드들(37a, 37b)이 상기 패드들(35a, 36b)과 직렬 연결된 열전 반도체들(27a, 27b)의 양단을 각각 전기적으로 연결할 수 있다. 이에 따라, 상기 패드들(35a, 35b)을 부하(도시하지 않음)에 연결하여 열전 발전기로 사용할 수 있으며, 또한 직류 전원을 패드들(35a, 35b)에 연결하여 냉각기로 사용할 수 있다. 상기 패드들 및 리드들은 상기 하부 전극들과 동일한 공정들에 의해 형성될 수 있다. 이와 달리, 상기 패드들 및 리드들은 상부 기관(33)에 형성될 수도 있으며, 상부 전극들과 동일한 공정들에 의해 형성될 수도 있다.
- <43> 본 발명의 실시예들에 있어서, 하부 기관(21)과 상부 기관(33)은 상대적인 것으로 서로 위치를 바꿀 수 있다. 또한, 상부 기관(33)은 생략될 수도 있다.
- <44> 본 발명의 실시예들에 따르면, 증착된 다결정 실리콘층으로 열전 반도체들(27a, 27b)을 형성하므로, 초소형의 열전 모듈을 제공할 수 있다.
- <45> 한편, 열전 모듈의 성능지수(Z)는 제백 계수(α)의 제곱 및 전기 전도율(σ)에 비례하고, 열전도율(K)에 반비례하는 것으로 알려져 있다. 따라서, 제백 계수 및 전기 전도율을 증가시키고, 열전도율을 감소시킴으로써 열전 모듈의 성능을 향상시킬 수 있다. 일반적으로, 반도체의 전기 전도율은 이온 농도를 증가시킴에 따라 증가하고, 또한 이에 수반하여 열전도율이 증가되는 것으로 알려져 있다. 그러나, 실리콘은 이온 농도의 증가에 따라 전기 전도율은 증가하나, 포논 산란에 의해 열전도율이 감소하므로, 이온 농도를 조절하여 성능이 향상된 열전 모듈을 제공할 수 있다.
- <46> 도 4 내지 도 9는 본 발명의 일 실시예에 따른 마이크로 열전 모듈 제조방법을 설명하기 위한 단면도들이다.
- <47> 도 4를 참조하면, 하부 기관(21) 상에 절연층(23)을 증착한다. 상기 하부 기관(21)은 예컨대 실리콘 기관일 수 있다. 또한, 상기 절연층(23)은 실리콘 산화막일 수 있으며, 예컨대 TEOS를 이용하여 화학기상증착법을 사용하여 증착할 수 있다. 상기 하부 기관(21)이 절연기관인 경우, 상기 절연층(23)은 생략될 수도 있다.
- <48> 도 5를 참조하면, 상기 절연층(23) 상에 하부 전극층(25)이 증착된다. 하부 전극층(25)은 물리기상증착 또는 화학기상증착법을 사용하여 형성될 수 있으며, e단일층 또는 다층구조로 형성될 수 있다. 상기 하부 전극층(25)은 예컨대 알루미늄, 텅스텐 또는 질화티탄을 포함하는 금속층으로 형성될 수 있다.
- <49> 상기 하부 전극층(25) 상에 다결정 실리콘층(27)이 증착된다. 상기 다결정 실리콘층(27)은 반도체 제조 공정에서 통상 사용되는 방식으로 화학기상증착법에 의해 증착될 수 있다. 본 실시예에 있어서, 상기 다결정 실리콘층(27)은 도핑 없이 증착되는 것이 바람직하다.
- <50> 도 6을 참조하면, 상기 다결정 실리콘층(27)에 선택적으로 이온들을 주입하여 교대로 배치된 복수개의 n형 영역들 및 p형 영역들이 형성된다. 상기 n형 영역들은 예컨대, 보론(B)을 주입하여 형성될 수 있으며, p형 영역들은 인(P)을 주입하여 형성될 수 있다. 상기 보론 및 인 이외에 다양한 이온들이 주입될 수 있다.
- <51> 상기 이온들은 이온 주입 마스크를 사용하여 한정된 영역들에 주입될 수 있으며, 특히 이온 임플래이션 공정을 사용하여 주입될 수 있다. 이 경우, 이온 주입 에너지를 조절하여 이온이 주입되는 깊이를 조절할 수 있으며, 이온 주입 에너지를 변경하면서 이온들을 주입하여 이온들을 n형 영역들 및 p형 영역들 내에 균일하게 분포시킬 수 있다.
- <52> 또한, 상기 다결정 실리콘층(27)과 이온 주입 공정을 반복 수행함으로써 상대적으로 두꺼운 다결정 실리콘층 내에 이온들이 균일하게 분포된 n형 영역들 및 p형 영역들을 형성할 수 있다.
- <53> 도 7을 참조하면, 상기 n형 영역들 및 p형 영역들이 형성된 다결정 실리콘층(27) 상에 전극패드층(29)을 증착한다. 전극패드층은 알루미늄, 텅스텐 또는 질화티탄을 포함하는 금속층으로 형성될 수 있다.
- <54> 도 8을 참조하면, 상기 전극패드층(29)을 패터닝하여 n형 영역들 및 p형 영역들 내에 한정된 전극 패드들(29a)을 형성한다. 상기 전극패드층(29)은 사진 및 식각 공정을 사용하여 패터닝될 수 있다. 이어서, 상기 다결정 실리콘층(27)을 패터닝하여 n형 열전 반도체들(27a) 및 p형 열전 반도체들(27b)을 형성한다.

- <55> 또한, 상기 하부 전극층(25a)을 패터닝하여, 도시된 바와 같이, 각각 인접한 n형 열전 반도체(27a)와 p형 열전 반도체(27b)를 서로 전기적으로 연결하는 하부 전극들(25a)을 형성한다.
- <56> 도 9를 참조하면, n형 열전 반도체들(27a)과 p형 열전 반도체들(27b)을 서로 전기적으로 연결하는 상부 전극들(31)을 형성한다. 상기 상부 전극들(31)은 리프트 오프(Lift-off) 기술을 사용하여 형성될 수 있다. 필요에 따라, 상기 상부 전극들(31) 상에 상부 기관(도시하지 않음)이 부착될 수 있다. 이와 달리, 상기 상부 전극들(31)은 일단 상부 기관 상에 형성된 후, 상기 상부 기관과 함께 상기 열전 반도체들(27a, 27b)에 접합되어 형성될 수 있다.
- <57> 본 실시예에 따르면, 반도체 제조 공정을 사용하여 열전 모듈을 제조하는 방법이 제공된다. 여기서, 상기 하부 전극층(25)은 상기 다결정 실리콘층(27)을 패터닝한 후에 패터닝되는 것으로 설명하였으나, 하부 전극층(25)을 먼저 패터닝하여 하부 전극들(25a)을 형성하고, 그 후에 다결정 실리콘층(27)을 증착할 수도 있다.
- <58> 한편, 상기 전극패드들(29a)은 다결정 실리콘층(27)을 패터닝하기 전에 형성되어, 상기 다결정 실리콘층의 상부 표면이 오염되는 것을 방지한다. 따라서, 전극패드들(29a)과 열전 반도체들(27a, 27b)의 전기적 접합 특성이 향상될 수 있다. 한편, 본 발명의 몇몇 실시예들에 있어서, 상기 전극패드층(29) 및 전극패드들(29a)을 형성하는 공정은 생략될 수 있으며, 상부 전극들(31)이 직접 상기 열전 반도체들(27a, 27b) 상에 형성될 수 있다.
- <59> 도 10 내지 도 13은 본 발명의 다른 실시예에 따른 마이크로 열전 모듈 제조방법을 설명하기 위한 단면도들이다. 여기서는 두 개의 기관 상에 각각 제1 도전형 열전 반도체 및 제2 도전형 열전 반도체를 형성하고, 상기 두개의 기관을 접합시킴으로써 상기 열전 반도체들이 직렬 연결된 열전모듈을 제조하는 방법이 개시된다. 상기 제1 도전형 및 제2 도전형은 n형 및 p형일 수 있으며, 그 반대로일 수 있으나, 편의상 제1 도전형을 n형으로, 제2 도전형을 p형으로 설명하기로 한다.
- <60> 도 10을 참조하면, 도 4 내지 도 5를 참조하여 설명한 바와 같이, 하부 기관(51) 상에 절연층(53), 하부 전극층(55) 및 다결정 실리콘층(57)을 증착한다. 또한, 상기 하부 기관과 별개의 상부 기관(71) 상에 절연층(73), 상부 전극층(75) 및 다결정 실리콘층(77)을 증착한다. 상기 하부 기관(51) 또는 상기 상부 기관(71)이 절연 기관인 경우, 상기 절연층(53) 또는 상기 절연층(73)은 생략될 수도 있다. 상기 다결정 실리콘층들(57, 77)은 도핑 없이 증착될 수 있으며, 그 후, 상기 하부 기관(51) 상에 형성된 다결정 실리콘층(57) 내에 이온들을 주입하여 n형 영역들을 형성하고, 상기 상부 기관(71) 상에 형성된 다결정 실리콘층(77) 내에 p형 영역들을 형성한다. 상기 n형 영역들 및 p형 영역들은 미리 정해진 위치에 형성된다.
- <61> 이와 달리, 상기 다결정 실리콘층들(57, 77)은 각각 n형 및 p형으로 도핑되어 증착될 수 있다. 이 경우, 상기 n형 영역들 및 p형 영역들을 형성하기 위한 이온 주입 공정은 생략될 수 있다.
- <62> 도 11을 참조하면, 상기 다결정 실리콘층들(57, 77) 상에 각각 전극 패드층들(59, 79)이 형성된다. 상기 전극 패드층들(59, 79)은 서로 동일한 물질일 수 있으나, 이에 한정되는 것은 아니며, 서로 다른 물질일 수도 있다. 전극 패드층들(59, 79)은 예컨대 알루미늄, 텅스텐 또는 질화티탄을 포함하는 금속층으로 형성될 수 있다.
- <63> 도 12를 참조하면, 상기 전극 패드층들(59, 79)을 각각 패터닝하여 n형 영역들 및 p형 영역들 내에 한정된 전극 패드들(59a, 79a)을 형성한다. 이어서, 상기 다결정 실리콘층들(57, 77)을 패터닝하여 n형 열전 반도체들(57a) 및 p형 열전 반도체들(77a)을 형성한다.
- <64> 또한, 상기 하부 전극층(55) 및 상부 전극층(75)을 각각 패터닝하여 상기 n형 열전 반도체들(57a)의 외부로 연장된 연장부를 갖는 하부 전극들(55a), 및 상기 p형 열전 반도체들(77a)의 외부로 연장된 연장부를 갖는 상부 전극들(75a)을 형성한다.
- <65> 본 실시예에 있어서, 상기 하부 전극들(55a) 및 상부 전극들(75a)이 상기 다결정 실리콘층들(57, 77)을 패터닝한 후에 형성되는 것으로 설명하지만, 상기 하부 전극들 및 상기 상부 전극들은 다결정 실리콘층들(57, 77)을 증착하기 전에 미리 패터닝될 수도 있다.
- <66> 도 13을 참조하면, 상기 n형 열전 반도체들(57a)과 상기 p형 열전 반도체들(77a)이 서로 직렬 연결되도록 n형 열전 반도체들(57a)의 단부들을 상기 상부 전극들(75a)의 연장부들에 각각 접합하고, 상기 p형 열전 반도체들(77a)의 단부들을 상기 하부 전극들(55a)의 연장부들에 각각 접합한다. 이에 따라, n형 열전 반도체들(57a)과 p형 열전 반도체들(77a)이 서로 교대로 배치되고, 상기 하부 전극들(55a) 및 상기 상부 전극들(75a)에 의해 직렬 연결된다.
- <67> 상기 전극 패드들(59a, 79a)이 형성된 경우, 상기 전극 패드들이 상기 상부 전극들 및 하부 전극들에 접합될 수

있으며, 전극 패드들이 생략된 경우, 상기 열전 반도체들(57a, 77a) 상기 상부 전극들 및 하부 전극들에 각각 접합된다.

<68> 본 실시예들에 따르면, 다결정 실리콘층들(57, 77)을 별개의 기판들에 형성하여 n형 영역들 및 p형 영역들을 형성하므로, 앞의 실시예에 비해 이온주입 공정을 단순화시킬 수 있다. 또한, 다결정 실리콘층들을 n형 및 p형으로 도핑하여 증착함으로써 별도의 이온 주입 공정을 생략할 수도 있다.

발명의 효과

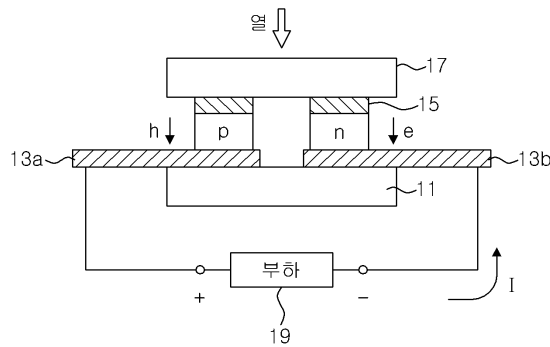
<69> 본 발명의 실시예들에 따르면, 반도체 제조 공정을 사용하여 소형 전자 제품에 사용될 수 있는 마이크로 열전 모듈을 제공할 수 있다. 또한, 증착된 다결정 실리콘층을 이용하여 열전 반도체들을 형성하기 때문에, 종래의 열전 모듈에 비해 제조 공정이 단순한 열전 모듈이 제공될 수 있다.

도면의 간단한 설명

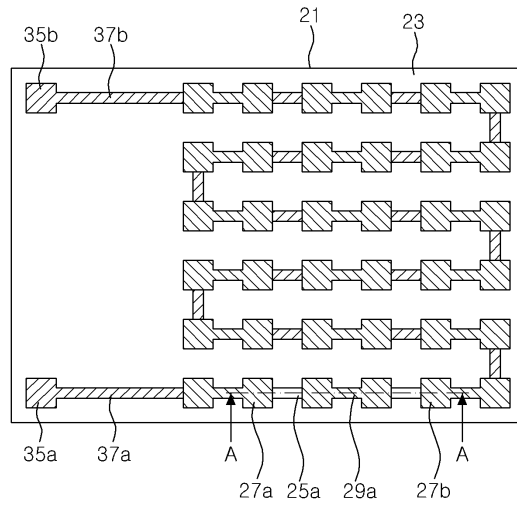
- <1> 도 1은 열전 모듈의 동작을 설명하기 위한 개략적인 단면도이다.
- <2> 도 2는 본 발명의 일 실시예에 따른 마이크로 열전 모듈을 설명하기 위한 평면도이다.
- <3> 도 3은 도 2의 절취선 A-A를 따라 취해진 단면도이다.
- <4> 도 4 내지 도 9는 본 발명의 일 실시예에 따른 마이크로 열전 모듈을 제조하는 방법을 설명하기 위한 단면도들이다.
- <5> 도 10 내지 도 13은 본 발명의 다른 실시예에 따른 마이크로 열전 모듈을 제조하는 방법을 설명하기 위한 단면도들이다.

도면

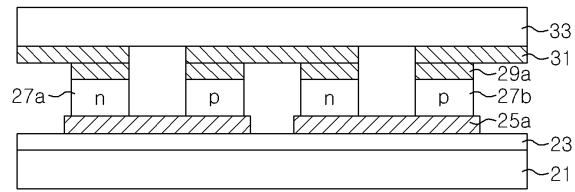
도면1



도면2



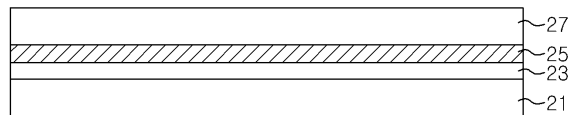
도면3



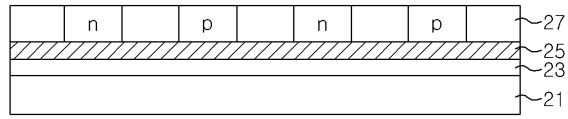
도면4



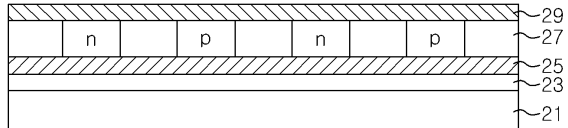
도면5



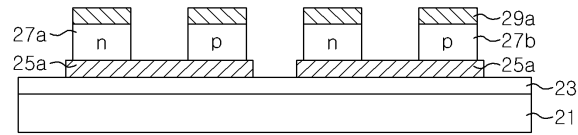
도면6



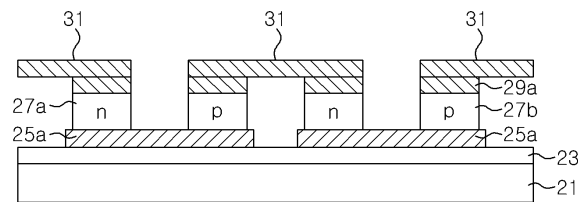
도면7



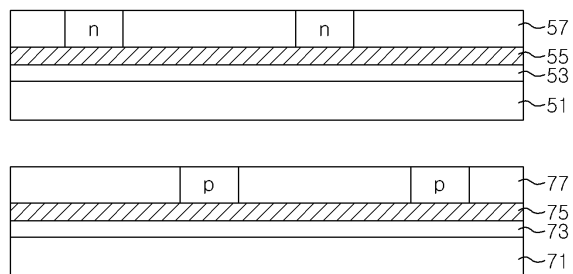
도면8



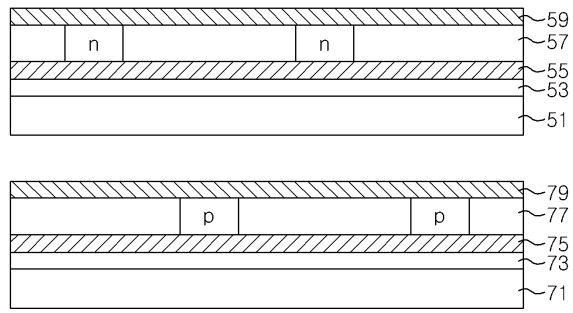
도면9



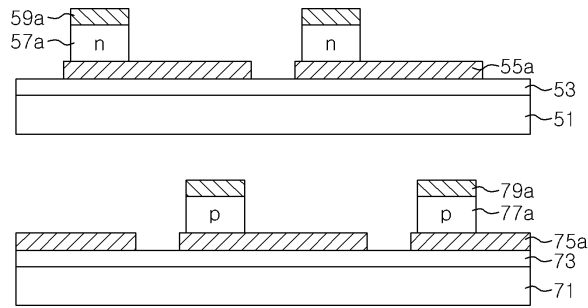
도면10



도면11



도면12



도면13

