



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2014년10월17일  
(11) 등록번호 10-1451301  
(24) 등록일자 2014년10월08일

(51) 국제특허분류(Int. Cl.)  
H01L 51/40 (2006.01) H01L 51/10 (2006.01)  
(21) 출원번호 10-2013-0049072  
(22) 출원일자 2013년05월01일  
심사청구일자 2013년05월01일  
(56) 선행기술조사문헌  
JP2012198536 A

(73) 특허권자  
한국화학연구원  
대전광역시 유성구 가정로 141 (장동)  
(72) 발명자  
김윤호  
대전광역시 유성구 궁동 KAIST APT 210호  
김아련  
전북 전주시 덕진구 사근1길 11, 305동 703호 (송천동2가, 현대3차아파트)  
(74) 대리인  
이원희

전체 청구항 수 : 총 10 항

심사관 : 박성웅

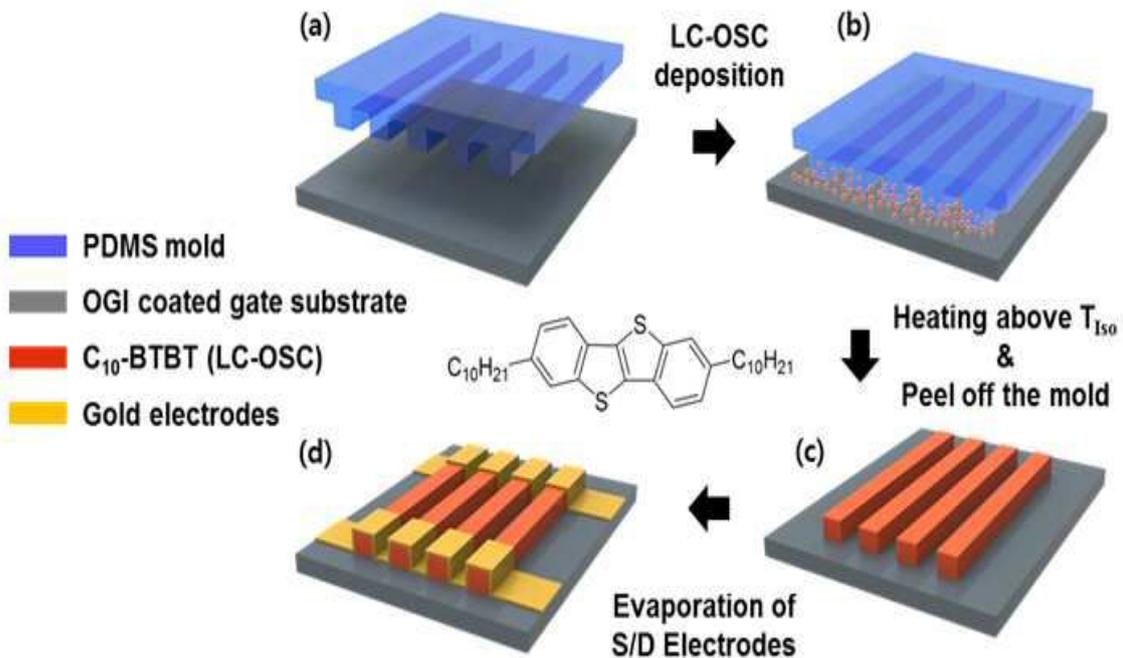
(54) 발명의 명칭 주형을 이용한 패터닝된 자가조립식 유기 박막 전자 소자의 제조 방법 및 이를 통해 제조되는 패터닝된 자가조립식 유기 박막 전자 소자

(57) 요약

본 발명의 목적은 주형을 이용한 패터닝된 자가조립식 유기 박막 전자 소자의 제조 방법 및 이를 통해 제조되는 패터닝된 자가조립식 유기 박막 전자 소자를 제공하는 데 있다. 이를 위하여, 본 발명은 패터닝하고자 하는 형태와 반대되는 형태의 주형을 제조하는 단계(단계 1); 기판 상에 절연층을 형성하는 단계(단계 2); 절연층 상에 액

(뒷면에 계속)

대표도 - 도1



정형 유기반도체 분말을 도입한 후, 상기 단계 1에서 제조한 주형을 상기 기판상에 덮고 등방성 상전이 온도 이상으로 열처리하는 단계(단계 3); 및 상기 주형을 제거하는 단계(단계 4);를 포함하는 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조 방법을 제공한다. 본 발명에 따르면, 액정형 유기반도체의 액정성을 이용하여 간단한 열처리만으로 모세관 효과를 통해 주형 내에 채워질 수 있어, 주형의 패터닝형태에 따라 원하는 위치 및 크기로 패터닝할 수 있어 고성능의 유기 박막 트랜지스터를 제작할 수 있다. 또한, 유기 박막 트랜지스터뿐만 아니라, 액정형 유기반도체가 사용되는 다양한 유기전자소자에 적용이 가능하다.

(72) 발명자

**장광석**

충북 청주시 상당구 우암로30번길 11, (우암동)

**가재원**

서울 관악구 남부순환로249길 22, 202호 (봉천동, 동남빌라)

**원종찬**

대전 서구 둔산남로 127, 204동 032호 (둔산동, 목련아파트)

**김진수**

대전 유성구 오룡1길 39, (탑립동)

**이미혜**

대전 유성구 엑스포로 448, 207동 304호 (전민동, 엑스포아파트)

이 발명을 지원한 국가연구개발사업

과제고유번호 KK-1302-D0  
 부처명 산업기술연구회  
 연구관리전문기관 산업기술연구회  
 연구사업명 기관고유사업  
 연구과제명 모바일산업용 고내열 핵심 화학소재 개발  
 기여율 60/100  
 주관기관 한국화학연구원  
 연구기간 2013.01.01 ~ 2013.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호 100400352\_15107  
 부처명 지식경제부  
 연구관리전문기관 한국산업기술평가관리원  
 연구사업명 부품소재기술개발사업  
 연구과제명 고속응답(5ms) LCD용 VA형 광반응성 액정 및 광배향막 개발(2단계\_2차)  
 기여율 40/100  
 주관기관 한국화학연구원  
 연구기간 2012.06.01 ~ 2013.05.31

**특허청구의 범위**

**청구항 1**

패터닝하고자 하는 형태와 반전되는 형태의 주형을 제조하는 단계(단계 1);

기판 상에 절연층을 형성하는 단계(단계 2);

절연층 상에 액정형 유기반도체 분말을 도입한 후, 상기 단계 1에서 제조한 주형을 상기 기판상에 덮고 등방성 상전이 온도 이상으로 열처리하는 단계(단계 3); 및

상기 주형을 제거하는 단계(단계 4);

를 포함하는 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조 방법.

**청구항 2**

제 1 항에 있어서,

상기 단계 1의 주형은 폴리디메틸실록산(PDMS, polydimethylsiloxane), 폴리우레탄(PU, polyurethane), 고무(Rubber), 감광제(photresist) 및 실리콘웨이퍼(silicon wafer)로 이루어진 군으로부터 선택되는 1종인 것을 특징으로 하는 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조 방법.

**청구항 3**

제 1 항에 있어서,

상기 단계 1의 주형은 패턴의 간격이 0.1  $\mu\text{m}$  내지 100  $\mu\text{m}$ , 두께가 0.1  $\mu\text{m}$  내지 10  $\mu\text{m}$ 인 것을 특징으로 하는 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조 방법.

**청구항 4**

제 1 항에 있어서,

상기 단계 2의 기판은 ITO가 코팅된 유리,  $\text{SiO}_2/\text{Si}$  기판 및 고분자 유기막, 자기조립 단분자층(SAM, self-assembled monolayer) 및 무기물로 이루어진 군으로부터 선택되는 1종이 코팅된 기판으로 이루어진 군으로부터 선택되는 1종인 것을 특징으로 하는 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조 방법.

**청구항 5**

제 1 항에 있어서,

상기 단계 3의 액정형 유기반도체 분말은 액정형 유기반도체 분말은 2,7-벤조티에노벤조티오펜( $\text{C}_{10}$ -BTBT, 2,7-didecylbenzothienobenzothiophene), 디옥틸터티오펜(8-TTP-8, dioctylterthiophene), 2-페닐나프탈렌 유도체(2-phenylnaphthalene derivatives), 트라이페닐렌 유도체(triphenylene derivatives), 액정이중블록공중합체(LCPBC, Liquid Crystalline Polyfluorene Block copolymer), 펜타센(Pentacene), TIPS-펜타센(TIPS-pentacene), 폴리티오펜(polythiophene) 및 포피린(phorphyrin)으로 이루어진 군으로부터 선택되는 1종인 것을 특징으로 하는 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조 방법.

**청구항 6**

제 1 항에 있어서,

상기 단계 3의 열처리는 온도 구배가 한 방향으로 형성되도록 수행되는 것을 특징으로 하는 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조 방법.

#### 청구항 7

제 1 항에 있어서,

상기 방법은 상기 단계 3의 열처리를 수행한 후, 급냉시키는 단계를 더 포함하는 것을 특징으로 하는 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조 방법.

#### 청구항 8

제 1 항의 방법으로 제조되는 패터닝된 자가조립식 유기 박막 전자 소자.

#### 청구항 9

제 8 항에 있어서,

상기 유기 박막 패턴은 패턴의 간격이 0.1  $\mu\text{m}$  내지 100  $\mu\text{m}$ , 두께가 0.1  $\mu\text{m}$  내지 10  $\mu\text{m}$ 인 것을 특징으로 하는 패터닝된 자가조립식 유기 박막 전자 소자.

#### 청구항 10

제 8 항의 패터닝된 자가조립식 유기 박막 전자 소자; 및

상기 전자 소자 상에 형성되는 금속 전극;을 포함하는 유기 박막 트랜지스터.

### 명세서

#### 기술분야

[0001] 본 발명은 주형을 이용한 패터닝된 자가조립식 유기 박막 전자 소자의 제조 방법 및 이를 통해 제조되는 패터닝된 자가조립식 유기 박막 전자 소자에 관한 것이다.

#### 배경기술

[0002] 지난 몇 년간, 소형 유기반도체(OSCs, organic semiconductors)는 고 효율의 패키징능력과 고결정성으로 인하여 다양한 저가의 처리가능한 전자 소자에 적용되어 왔고, 또한 (P3HT, poly(3-alkylthiophenes)), (TIPS-PEN, 6,13-bis(triisopropylsilyl)ethynyl-pentacene) 등의 종래의 공액 고분자(conjugated polymer)의 대체물로 여겨져 왔다.

[0003] 특히, 유기물을 이용한 차세대 인쇄전자소자 산업이 급속히 발전하면서, 발광 다이오드(LED), 박막 트랜지스터, 유기태양전지 등의 제작과 관련된 연구가 많이 이루어지고 있다.

[0004] 최근 가공성은 좋지만 소자 제작시 전기적 특성이 낮은 고분자 유기반도체를 대신하여 높은 소자 특성을 나타내는 다양한 단분자 유기 반도체가 많이 개발되고 있다. 이와 같이, 작은 분자체를 이용하는 장치에 대한 필요로 인하여 유연성, 대면적, 저가 및 고성능 전자기기에 대한 기술 발전이 이루어져 왔다. 따라서, 유기 반도체를

용액 공정으로 제조하는 다양한 방법이 개발되어 왔다. 예를 들어, 스핀코팅, 드롭 캐스팅(drop-casting), 용매 증발법(solvent evaporation method) 및 잉크젯 프린팅(inkjet printing) 등 여러가지 용액 공정들이 사용되고 있다.

[0005] 예시적으로, 특허문헌 1에 따르면 스핀코팅 또는 잉크젯프린팅 공정에 사용가능한 폴리이미드를 포함하는 유기 절연체 형성용 조성물에 대하여 개시하고 있다. 또한, 특허문헌 2에 따르면 저온공정 및 광경화가 가능한 유기 절연체를 용액공정을 통해 적용하여 제조된 유기박막트랜지스터에 대하여 개시하고 있고, 특허문헌 3에 따르면 잉크젯 프린팅 방법을 이용한 유기 전계효과 트랜지스터의 활성 채널층 형성방법에 관한 것으로, 서로 섞이지 않는 두 용액을 잉크젯 프린팅 용액으로 사용하여 활성채널층을 형성하는 방법에 대하여 개시하고 있다.

[0006] 이때, 인쇄전자소자를 제작함에 있어서, 핵심이 되는 유기물들이 고성능을 발휘할 수 있도록 분자 정렬을 제어하고, 이러한 물질들을 원하는 위치와 모양으로 패터닝하는 기술이 핵심적인 부분으로 취급되고 있으며, 이에 대한 연구의 필요성이 강조되고 있다.

[0007] 유기 반도체 재료의 핵화 및 성장을 제어하기 위해서는 용액의 끓는 점, 기관의 용액 젖음성, 및 유기반도체 재료와 용액의 친화도 등을 포함하는 다양한 요인을 조절해야 한다. 그러나, 고체화되는 동안 소형 분자가 핵화되는 것은 제어하기 어려운 문제점이 있어, 균일한 크기 및 형태의 단결정으로 가공하는 것은 거의 불가능하다. 용액공정의 가장 큰 문제는 용매의 증발 및 휘발을 제어하기가 어려워 재현성있는 소자를 구현하기 어렵다는 점과 고성능의 소자를 구현하기 위한 유기 반도체 분자들의 배향과 배열의 조절이 어렵다는 문제점이 있다.

[0008] 소형 분자들로 이루어진 활성층을 더욱 균일하게 가공하기 위해서 핵화가 이루어지는 장소 및 성장방향에 따른 형태를 제어하는 데 주력하는 연구가 이루어지고 있다.

[0009] 이러한 방법들은 상대적으로 복잡한 수단, 많은 가공 단계를 필요로 하고 또는 결정 형태의 조절에 대한 한계를 가진다. 무엇보다도, 대부분의 용액 공정 유기 인쇄 전자장치는 고분자 기관, 게이트 절연층 및 다른 활성 물질과 같은 다른 성분들에 대한 낮은 용액 저항성으로부터 기인한 중요한 문제점을 나타낸다. 한 성분요소를 준비하는데 사용되는 용액은 종종 용해되거나 또는 이전에 준비된 성분에 대하여 영향을 준다.

[0010] 즉, 인쇄전자소자를 제작함에 있어, 용액공정으로 인하여 용액의 휘발성에 따른 재현성 문제, 용해도 때문에 발생하는 다른 부품의 파손, 용액공정에서 얻기 힘든 높은 분자 배열도와 같은 문제들이 발생할 수 있다.

[0011] 이와 같이 인쇄 전자장치를 위한 용액공정에서 발생하는 문제점을 극복하기 위해서, 용매를 사용하지 않고 직접 인쇄가 가능한 소형 유기 반도체 분자의 액정의 유용성에 대하여 연구가 요구되고 있는 실정이다.

[0012] 이에, 본 발명의 발명자들은 용액 공정없이 손쉽게 높은 분자배열도를 가지는 유기반도체를 패터닝 할 수 있는 기법을 개발하고자 하여, 비용액공정을 통한 패터닝 방법에 대하여 연구하던 중, 마이크로미터 수준의 패터닝된 주형 및 액정형 유기반도체를 이용하여 열처리하면 높은 결정도를 가지는 유기반도체 구조를 얻을 수 있어 전하 이동도가 향상된 유기 전자 소자를 제조할 수 있음을 알게 되어 본 발명을 완성하였다.

**선행기술문헌**

**특허문헌**

[0013] (특허문헌 0001) 대한민국 등록특허 제 10-1050370 호

(특허문헌 0002) 대한민국 공개특허 제 10-2010-0049999 호

(특허문헌 0003) 대한민국 공개특허 제 10-2010-0075100 호

### 발명의 내용

#### 해결하려는 과제

- [0014] 본 발명의 목적은 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조 방법을 제공하는 데 있다.
- [0015] 본 발명의 다른 목적은 상기의 방법으로 제조되는 패터닝된 자가조립식 유기 박막 전자소자를 제공하는 데 있다.
- [0016] 본 발명의 또 다른 목적은 상기의 자가조립식 유기 박막 전자 소자를 포함하는 유기 박막 트랜지스터를 제공하는 데 있다.

#### 과제의 해결 수단

- [0017] 이를 위하여, 본 발명은
- [0018] 패터닝하고자 하는 형태와 반전되는 형태의 주형을 제조하는 단계(단계 1);
- [0019] 기판 상에 절연층을 형성하는 단계(단계 2);
- [0020] 유기 절연층 상에 액정형 유기반도체 분말을 도입한 후, 상기 단계 1에서 제조한 주형을 상기 기판상에 덮고 등방성 상전이 온도 이상으로 열처리하는 단계(단계 3); 및
- [0021] 상기 주형을 제거하는 단계(단계 4);
- [0022] 를 포함하는 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조 방법을 제공한다.
- [0023] 또한, 본 발명은 상기의 방법으로 제조되는 패터닝된 자가조립식 유기 박막 전자 소자를 제공한다.
- [0024] 나아가, 본 발명은
- [0025] 상기의 자가조립식 유기 박막 전자 소자; 및
- [0026] 상기 전자 소자 상에 형성되는 금속 전극;을 포함하는 유기 박막 트랜지스터를 제공한다.

#### 발명의 효과

- [0027] 본 발명에 따르면, 액정형 유기반도체의 액정성을 이용하여 간단한 열처리만으로 모세관 효과를 통해 주형 내에 채워질 수 있어, 주형의 패터닝형태에 따라 원하는 위치 및 크기로 패터닝할 수 있어 고성능의 유기 박막 트랜지스터를 제작할 수 있다. 또한, 유기 박막 트랜지스터뿐만 아니라, 액정형 유기반도체가 사용되는 다양한 유기전자소자에 적용이 가능하다.

#### 도면의 간단한 설명

- [0028] 도 1은 본 발명에 따른 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조방법을 개략적으로 나타낸 모식도이고;
- 도 2는 본 발명에 따른 실시예 1 내지 실시예 3에서 제조된 자가조립식 유기 박막의 패터닝을 편광현미경, 주사전자현미경 및 원자힘현미경으로 관찰한 이미지이고;

도 3은 본 발명에 따른 실시예 4에서 제조된 패터닝된 자가조립식 유기 박막 전자 소자를 2D-GIXD 및 1D-XRD로 분석한 이미지이고;

도 4는 본 발명에 따른 예에서 제조된 자가조립식 유기 박막 트랜지스터의 채널 영역의 편광 현미경으로 관찰한 이미지 및 상기 트랜지스터의 소자 성능을 나타낸 그래프이다.

**발명을 실시하기 위한 구체적인 내용**

- [0029] 본 발명은
- [0030] 패터닝하고자 하는 형태와 반전되는 형태의 주형을 제조하는 단계(단계 1);
- [0031] 기판 상에 절연층을 형성하는 단계(단계 2);
- [0032] 연층 상에 액정형 유기반도체 분말을 도입한 후, 상기 단계 1에서 제조한 주형을 상기 기판상에 덮고 등방성 상전이 온도 이상으로 열처리하는 단계(단계 3); 및
- [0033] 상기 주형을 제거하는 단계(단계 4);
- [0034] 를 포함하는 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조 방법을 제공한다.
  
- [0035] 단분자 유기반도체를 이용하여 소자를 제작하기 위해서, 종래에는 스핀코팅, 선택적 용매증발법, 반응매 잉크젯 프린팅 등 여러 가지 용액공정 방법들이 사용되고 있었다. 상기와 같은 용액공정은 용매의 증발/휘발을 제어하기가 어려워 재현성 있는 소자를 구현하기가 어려우며, 고성능의 소자를 구현하기 위한 유기반도체 분자들의 배향과 배열의 조절이 어렵다는 문제점이 있었다.
- [0036] 그러나, 본 발명의 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조 방법에 따르면 용매 없이도 액정형 유기반도체의 액정성을 이용하여 간단한 열처리만으로도 유기 반도체의 분자배열을 제어함으로써 고성능의 유기 박막 전자소자를 제작할 수 있고, 주형을 적절히 제조함에 따라 원하는 위치 및 크기로 패터닝한 유기 박막 전자소자를 제조할 수 있다.
- [0037] 이하, 본 발명을 도 1을 참조하여 단계별로 더욱 상세하게 설명한다. 하기 도 1은 본 발명에 따른 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조방법을 개략적으로 나타낸 모식도이다.
- [0038] 본 발명에 따른 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조 방법에 있어서, 상기 단계 1은 패터닝하고자 하는 형태와 반전되는 형태의 주형을 제조하는 단계이다.
- [0039] 상기 주형이 마이크로미터 수준으로 패터닝되면, 이후의 단계에서 유기반도체 분말을 등방성 상전이 온도 이상으로 가열할 때 유기반도체 물질은 유동성이 발생하여 모세관 현상에 의해 패터닝된 주형 안으로 자발적으로 채워지게 된다. 따라서 패터닝하고자 하는 형태와 반전되는 형태로 주형을 제조하면 이후의 단계에서 원하는 형태의 패턴을 형성할 수 있다. 이때, 상기 제조되는 주형에 있어서 패턴의 크기와 간격 등을 변화함으로써 다양한 형태로 패턴을 제작할 수 있다.
- [0040] 본 발명에 따른 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조 방법에 있어서, 상기 단계 1의 주형은 폴리디메틸실록산(PDMS, polydimethylsiloxane), 폴리우레탄(PU, polyurethane), 고무(Rubber), 감광제(photresist) 및 실리콘웨이퍼(silicon wafer)로 이루어진 균으로부터 선택되는 1종인 것이 바람직하나, 표면에 패턴을 형성할 수 있는 물질이라면 이에 특별히 한정되는 것은 아니다.
- [0041] 본 발명에 따른 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조 방법에 있어서, 상기 단계 1의 주형은 패턴의 간격이 0.1  $\mu\text{m}$  내지 100  $\mu\text{m}$ , 두께가 0.1  $\mu\text{m}$  내지 10  $\mu\text{m}$ 인 것이 바람직하다. 상기 주형은 패턴의 간격이 0.1  $\mu\text{m}$  미만인 경우 주형을 제작하기 어려우며 고비용이 발생하는 문제점이 있고, 100  $\mu\text{m}$ 를 초과하는 경우 모세관 현상이 나타나기 어려워 이후의 단계에서 유동성을 가지는 유기 반도체 물질이 자발적으로 주형 내부

로 채워지기 어려운 문제점이 있다. 또한, 두께가 0.1  $\mu\text{m}$  미만인 경우 윤곽이 뚜렷한 패턴이 제조되기 어려운 문제점이 있고, 10  $\mu\text{m}$ 를 초과하는 경우 유기 박막 전자소자의 두께가 두꺼워지는 문제점이 있다.

- [0042] 본 발명에 따른 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조 방법에 있어서, 상기 단계 2는 기판 상에 절연층을 형성하는 단계이다. 상기 기판 상에 형성된 절연층은 반도체층과의 계면에서 전하의 이동통로를 제공하므로, 박막 트랜지스터 소자 특성을 결정짓는 중요한 역할을 한다. 구체적으로, 상기 절연층을 구성하는 절연체의 계면 특성에 따라 반도체 층의 분자배향이 영향을 받기 때문에 반도체의 결정성, 절연층의 표면 특성을 조절하여 반도체 분자의 정렬을 향상시키는 것이 중요하다.
- [0043] 본 발명에 따른 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조 방법에 있어서, 상기 단계 2의 기판은 ITO가 코팅된 유리,  $\text{SiO}_2/\text{Si}$  기판 및 고분자 유기막, 자기조립 단분자층(SAM, self-assembled monolayer) 및 무기물 등이 코팅된 기판으로 이루어진 군으로부터 선택되는 1종인 것이 바람직하나, 유기 박막 전자소자에 적용가능한 기판이라면 사용가능하며 이에 특별히 한정되는 것은 아니다.
- [0044] 본 발명에 따른 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조 방법에 있어서, 상기 단계 3은 절연층 상에 액정형 유기반도체 분말을 도입한 후, 상기 단계 1에서 제조한 주형을 상기 기판상에 덮고 등방성 상전이 온도 이상으로 열처리하는 단계이다.
- [0045] 상기 등방성 상전이 온도는 액정이 방향에 상관없이 유동성을 갖도록 상전이를 일으키는 온도를 의미하는 것으로, 상기 유기반도체 분말을 등방성 상전이 온도 이상으로 가열하게 되면, 상기 유기반도체 물질은 유동성이 생기고, 마이크로미터 수준으로 형성된 주형의 패턴 사이로 모세관 현상에 의해 유기반도체 물질이 자발적으로 채워짐으로써, 원하는 위치에 물질들을 패터닝 할 수 있다. 이때, 유기 반도체 분말로 사용가능한 2,7-벤조티에노벤조티오펜( $\text{C}_{10}$ -BTBT)의 경우 등방성 상전이온도가 122.1  $^{\circ}\text{C}$  이상이므로 상기 온도 이상에서 열처리하는 것이 바람직하다.
- [0046] 본 발명에 따른 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조 방법에 있어서, 상기 단계 3의 액정형 유기반도체 분말은 2,7-벤조티에노벤조티오펜( $\text{C}_{10}$ -BTBT, 2,7-didecylbenzothienobenzothiophene), 디옥틸터티오펜(8-TTP-8, dioctylterthiophene), 2-페닐나프탈렌 유도체(2-phenylnaphthalene derivatives), 트라이페틸렌 유도체(triphenylene derivatives), 액정이중블록공중합체(LCPBC, Liquid Crystalline Polyfluorene Block copolymer), 펜타센(Pentacene), TIPS-펜타센(TIPS-pentacene), 폴리티오펜(polythiophene) 및 포피린(phorphyrin)으로 이루어진 군으로부터 선택되는 1종인 것이 바람직하나, 액적성을 띠고 있는 모든 유기 반도체가 적용가능하며 이에 특별히 한정되는 것은 아니다.
- [0047] 액정은 액정 분자 사이의 가역적이고 비공유성인 상호작용으로 인하여 매우 급속히 고결정성 구조를 형성할 수 있다. 상기 액정형 유기반도체 분말들은 등방성 상전이 온도 이상으로 가열된 후 표면의 형태를 제어함으로써 용이하게 고결정성 구조를 형성하여 간단하고도 저렴한 공정을 통해 패턴을 형성할 수 있는 장점이 있다.
- [0048] 본 발명에 따른 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조 방법에 있어서, 상기 단계 3의 열처리 온도 구배가 한 방향으로 형성되도록 수행되는 것이 바람직하다.
- [0049] 이때, 주형 내에 갇힌 유기 반도체 물질은 단결정 영역을 형성하기 위하여 온도 구배(thermal gradient)의 영향을 받는다. 열처리 과정 중, 온도 구배(thermal gradient)를 한쪽방향으로 가함으로써, 훨씬 더 높은 결정도를 가지는 유기반도체 패턴을 얻을 수 있다.
- [0050] 본 발명에 따른 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조 방법에 있어서, 상기 방법은 상기 단계 3의 열처리를 수행한 후, 급냉시키는 단계를 더 포함하는 것이 바람직하다.

- [0051] 액정형 유기 반도체 분말은 등방성 상전이 온도 이상으로 열처리되는 경우 높은 이동도를 가지고, 스멕틱 상 (smectic phase)에 빠르게 반응하여, 주형 패턴의 한정된 공간 내에서 액정상태의 분자 배열이 매우 빠르게 발생할 수 있다. 구체적으로, 본 발명의 실시예에서 사용되는 액정형 유기 반도체 분말인 C<sub>10</sub>-BTBT의 경우 선모양의 패턴이 센티미터 크기 규모로 형성되는데 단 몇 초밖에 걸리지 않는다.
- [0052] 상기 단계 3에서 열처리를 수행하면 유기 반도체 물질이 빠른 속도로 패터닝될 수 있고, 결정은 주형 패턴의 깊이를 따르며 성장하므로 선 형태의 패턴은 하나의 단결정으로 이루어진 것과 유사한 고결정도(high crystallinity)를 나타낼 수 있다. 즉, 용매 없이도 액정형 유기반도체의 액정성을 이용하여 간단한 열처리만으로도 유기 반도체의 분자배열을 제어함으로써 고성능의 유기 박막 전자소자를 제작할 수 있다.
- [0053] 본 발명에 따른 주형을 이용한 패터닝된 자가조립식 유기 박막 전자소자의 제조 방법에 있어서, 상기 단계 4는 상기 주형을 제거하는 단계이다. 상기 주형을 제거하면, 제조된 주형의 패턴과 반대되는 형태의 패턴으로 기관상에 유기반도체 층이 형성될 수 있다. 이때, 상기 주형을 제거함에 있어서 패턴이 붕괴될 수 있으므로, 상기 주형은 기관으로부터 신중하게 제거되어야 한다.
- [0054] 또한, 본 발명은 상기의 방법으로 제조되는 패터닝된 자가조립식 유기 박막 전자 소자를 제공한다.
- [0055] 본 발명에 따라 제조된 패터닝된 자가조립식 유기 박막 전자 소자는 종래의 용액공정을 이용한 유기 박막 전자 소자의 제조방법에 비해 간단한 방법으로 고성능의 유기 박막 전자 소자를 제조할 수 있다. 구체적으로, 용매 없이도 액정형 유기반도체의 액정성을 이용하여 간단한 열처리만으로도 유기 반도체의 분자배열을 제어함으로써 고성능의 유기 박막 전자소자를 제작할 수 있고, 주형을 적절히 제조함에 따라 원하는 위치 및 크기로 패터닝한 유기 박막 전자소자를 제조할 수 있다.
- [0056] 상기 방법을 통해 제조된 유기 박막 전자소자는 우수한 품질의 결정 배열을 기관상의 원하는 부분에 형성하여 그 적용 범위를 넓힐 수 있어, 본 발명에 따른 자기조립식 유기 박막 전자 소자는 유기 광전지(OPVs, organic photovoltaics), 유기 발광 다이오드(OLEDs, organic light-emitting diodes), 및 유기 전계 효과 트랜지스터 (OFET, organic field effect transistor) 등의 유기 전자기기에 적용될 수 있다.
- [0057] 본 발명에 따른 패터닝된 자가조립식 유기 박막 전자 소자에 있어서, 상기 유기 박막 전자 소자는 패턴의 간격이 0.1 μm 내지 100 μm, 두께가 0.1 μm 내지 10 μm인 것이 바람직하다.
- [0058] 상기 유기 박막 전자 소자의 패턴은 패턴의 간격이 0.1 μm 미만인 경우 주형을 제작하기 어려우며, 고비용이 발생하는 문제점이 있고, 100 μm를 초과하는 경우 제조시 주형에서 모세관 현상이 나타나기 어려워 이후의 단계에서 유동성을 가지는 유기 반도체 물질이 자발적으로 주형 내부로 채워지기 어려운 문제점이 있다. 또한, 두께가 0.1 μm 미만인 경우 윤곽이 뚜렷한 패턴이 제조되기 어려운 문제점이 있고, 10 μm를 초과하는 경우 유기 박막 전자소자의 두께가 두꺼워지는 문제점이 있다.
- [0059] 나아가, 본 발명은
- [0060] 상기의 패터닝된 자가조립식 유기 박막 전자 소자; 및
- [0061] 상기 전자 소자 상에 형성되는 금속 전극;을 포함하는 유기 박막 트랜지스터를 제공한다.
- [0062] 본 발명에 따른 유기 박막 트랜지스터는 상기의 패터닝된 자가조립식 유기 박막 전자 소자를 포함한다. 상기 자가조립식 유기 박막 전자소자는 액정형 유기반도체의 액정성을 이용하여 간단한 열처리만으로 분자 수준에서 유기 반도체 결정의 제어가 이루어짐으로써 간단하게 제조될 수 있고, 이를 통해 우수한 단결정 영역과 유사한 고결정화도를 가지는 패턴을 형성할 수 있어 종래의 스피노딩 용액공정 또는 진공증착 등을 통해 제조된 유기박막 전자소자를 포함하는 유기 박막 트랜지스터에 비해 3 배 이상 높은 전하이동도를 얻을 수 있다(실험예 4 참조).

- [0063] 이하, 본 발명을 하기 실시예를 통해 더욱 상세하게 설명한다. 하기 실시예들은 본 발명을 예시하기 위해 제시되는 것일 뿐, 본 발명이 하기 실시예들에 의해 제한되는 것은 아니다.
- [0064] <실시예 1>
- [0065] 단계 1: 패터닝된 주형을 제조하기 위한 폴리디메틸실록산(PDMS, polydimethylsiloxane)을 준비하였다. 상기 PDMS 주형은 종래의 포토리소그래피 공정을 통해 가공된 패터닝된 포토리지스트 마스터로부터 복제된다. 상기 포토리지스트 마스터는 에폭시 기반의 포토리지스트(SU-8, Microchem 사)를 포토리소그래피 법을 통해 10 μm의 패턴 간격, 1 cm의 길이 및 800 nm의 두께인 선 형태를 가지도록 패터닝되어 제조되었다.
- [0066] PDMS 주형은 PDMS 전구체 및 경화제(Sylgard 184, Dow Corning Corp)를 10 : 1의 중량비로 혼합하여 상기 미리 제조된 포토리지스트 몰드에 붓고 60°C에서 8 시간 동안 컨벡션 오븐(convection oven)에 넣어 경화하였다. PDMS 주형이 충분히 경화된 후, 포토리지스트 몰드를 제거하여 주형을 제조하였다.
- [0067] 단계 2: 인듐 주석 산화물이 코팅된 유리 기판에 300 nm 두께로 합성 폴리이미드(KPI-C18) 박막을 스펀코팅법으로 ITO/유리 기판상에 코팅하여 절연층을 형성하였다. 이때, 상기 폴리이미드는 바이페닐테트라카복실릭 이무수물(BPDA, 3,3'4,4'-biphenyltetracarboxylic dianhydride), p-페닐렌디아민(p-PDA, p-phenylenediamine), DA-C<sub>18</sub>(1-(3,5-diaminophenyl)-3-(1-octadecyl)-succinimide) 를 이용하여 합성하여 준비되었다.
- [0068] 단계 3: 상기 폴리이미드가 코팅된 ITO/유리 기판 상에 상기 단계 1에서 제조된 PDMS 주형을 등각접촉한 후, 주형의 입구에 C<sub>10</sub>-BTBT 분말을 스프레이 방법으로 도입하였다.
- [0069] 이후, 기판 상에 등각접촉한 주형 안으로 도입된 C<sub>10</sub>-BTBT 분말은 가열기(hot stage, Instec HCS602XY) 및 제어기(controller, MK1000)에서 122°C 이상의 온도로 열처리된 후 상온까지 10°C/min의 속도로 급냉되었다.
- [0070] 단계 4: 상기 단계 3을 수행한 이후, 조심스럽게 PDMS 주형을 제거하여 패터닝된 자가조립식 유기 박막 전자소자를 제조하였다.
- [0071] <실시예 2>
- [0072] 본 발명에 따른 실시예 1의 단계 1에서 포토리지스트 마스터가 5 μm의 패턴 간격을 가지도록 제조된 것을 제외하고는 상기 실시예 1과 동일한 방법으로 패터닝된 자가조립식 유기 박막 전자소자를 제조하였다.
- [0073] <실시예 3>
- [0074] 본 발명에 따른 실시예 1의 단계 1에서 포토리지스트 마스터가 0.6 μm의 패턴 간격을 가지도록 제조된 것을 제외하고는 상기 실시예 1과 동일한 방법으로 패터닝된 자가조립식 유기 박막 전자소자를 제조하였다.
- [0075] <실시예 4>
- [0076] 본 발명에 따른 실시예 1의 단계 2에서 기판으로서 SiO<sub>2</sub>/Si 기판을 사용한 것을 제외하고는 상기 실시예 1과 동일한 방법으로 패터닝된 자가조립식 유기 박막 전자소자를 제조하였다.
- [0077] <실시예 5>
- [0078] 본 발명에 따른 실시예 1에서 제조된 유기 박막 전자소자의 상부에 결정 성장방향이 (010) 방향에 평행하도록 새도우 마스크를 통해 마스크하여 금(Au)을 열 증착법으로 증착한 금속 전극을 형성하여 유기 박막 트랜지스터를 제조하였다.
- [0079] <비교예 1>

- [0080] 절연체인 폴리이미드가 코팅된 ITO/유리 기판 상에 폴리이미드(KPI-C18)을 300 nm의 두께로 형성한 후 C<sub>10</sub>-BTBT가 녹아 있는 유기 용매를 스핀코팅법으로 코팅하여 유기 반도체층을 제조하였다. 이후 50 nm 두께의 소스 및 드레인 전극을 새도우 마스크를 통해 마스크하며 증착하여 유기 박막 트랜지스터를 제조하였다.
- [0081] <비교예 2>
- [0082] 절연체인 폴리이미드가 코팅된 ITO/유리 기판 상에 폴리이미드(KPI-C18)을 300 nm의 두께로 형성한 후 C<sub>10</sub>-BTBT를 50 내지 60 nm의 두께로 진공증착하여 유기반도체 층을 제조하였다. 이후 50 nm 두께의 소스 및 드레인 전극을 새도우 마스크를 통해 마스크하며 증착하여 유기 박막 트랜지스터를 제조하였다.
- [0083] <실험예 1> 자가조립식 유기 박막 전자소자의 미세구조
- [0084] 본 발명에 따른 자가조립식 유기 박막 전자소자의 미세구조에 대하여 확인하기 위하여, 본 발명의 실시예 1 내지 실시예 3에서 제조된 패터닝된 자가조립식 유기 박막 전자 소자를 편광 현미경(POM, polarized optical microscopy, Nikon Echclipse LV50-POL)을 통해 관찰하였고, 그 결과를 각각 도 2(a) 내지 도 2(c)에 나타내었다. 또한, 실시예 4에서 제조된 유기 박막 전자 소자의 단면을 주사전자현미경(SEM, scanning electron microscopy, Philips XL30S FEG)을 통해 관찰하였고, 그 결과를 도 2(d)에 나타내었다. 나아가, 상기 실시예 4에서 제조된 유기 박막 전자소자의 원자힘현미경(AFM, atomic force microscopy, Bruker, Multimode-8)을 통해 관찰하였고, 그 결과를 도 2(e) 및 도 2(f)에 나타내었다.
- [0085] 도 2(a) 내지 도 2(c)에 나타낸 바와 같이, C<sub>10</sub>-BTBT 선 패턴의 치수는 조절가능한 것을 확인할 수 있다. 선 패턴의 간격, 공간, 두께가 PDMS 주형의 크기와 동일하게 제조된 것을 확인할 수 있고, 실시예 1 내지 실시예 3의 선 패턴의 간격은 10, 5, 0.6  $\mu\text{m}$ 로 각각 다른 것을 확인할 수 있다. 상기 C<sub>10</sub>-BTBT 패턴은 각 간격에 대하여 800 nm의 동일한 높이를 가지는 것을 확인할 수 있다.
- [0086] 이때, 분자의 긴 축이 편광의 광학 축을 따라 약 4 도 정도로 약간 기울어져 있어서, 선 패턴의 긴 축이 교차 편광기(cross polarizer)의 축과 각각 평행하거나 또는 수직할 때 상기 교차 편광기를 이용한 관찰법에 따라 어둡게 나타난다. 그러므로, 선형의 긴 축은 복굴절을 향상시키기 위하여 교차 편광기의 축에 대하여 45° 정도 회전된 상태이다.
- [0087] 또한, 본 발명에 따른 실시예 1 내지 실시예 3의 C<sub>8</sub>-BTBT 선 패턴은 편광하에서의 광학현미경으로 관찰했을 때, 완벽하게 일정한 색을 나타내지는 않는 것을 확인할 수 있다. 이를 통해 본 발명에 따른 C<sub>10</sub>-BTBT로 제조된 선 패턴은 다양한 단결정 도메인으로 이루어진 것을 알 수 있다. 그러나, 본 발명에 따르면 상기 단결정 영역(domain)은 서로 작은 결정립계 어긋남 각도를 가지는 것을 알 수 있고, 이를 통해 단결정과 유사한 높은 결정화도를 나타내는 것을 알 수 있다.
- [0088] 나아가, 도 2(a) 및 도 2(b)에 따르면, 스멕틱 상에서 결정상으로 생각되는 동안 C<sub>10</sub>-BTBT의 부피가 수축함으로 인하여 발생하는 표면 균열의 형성이 관찰됨을 확인할 수 있다. 이때, 상기 균열들은 선 패턴의 상부 표면으로부터 하부까지 통과한다. 그러나, 유기 반도체 물질로 제조된 선 패턴의 하단부 끝까지 균열이 형성되지는 않기 때문에, 선 패턴의 상부 표면에서 마이크로 규모의 균열이 형성됨에 의해 계면에서 만나는 C<sub>10</sub>-BTBT의 얇은 활성층이 영향을 받지 않는 것을 확인하였다.
- [0089] 도 2(d)에 나타낸 바에 따르면, C<sub>10</sub>-BTBT 선 패턴의 내부구조를 확인할 수 있다. 이때, 제시된 삽도에서는 적층되어 형성된 스멕틱 층의 내부 층 구조를 나타낸다. 상기 층은 평평하고, 기판의 바닥에 대하여 평행한 것을 확인할 수 있다. 그러나, 상기 층은 이상적인 스멕틱 층으로부터 일부 벗어나는 형태를 가짐으로 인해서 시료의 파단이 발생할 수도 있다.
- [0090] 도 2(e)에 따르면, C<sub>10</sub>-BTBT의 선 패턴은 균일하게 10  $\mu\text{m}$ 의 너비, 800 nm의 두께를 가지며, 10  $\mu\text{m}$ 의 간격으로

형성되어 있는 것을 확인할 수 있다.

- [0091] 도 2(f)에 따르면, 박막의 상부 표면은 분자적으로 평평하고, 분자가 세로 방향으로 배열되어 있고, 분자의  $\pi$  오비탈이 기판에 평행하게 배치되었다고 가정되었을 때의 분자 높이인 3.378 nm 높이의 일부 층을 가지는 것을 확인할 수 있다.
- [0092] 이때, 이 층상 구조는 도 2d에 나타난 단면을 주사전자현미경으로 관찰한 이미지와 동일한 것을 알 수 있다.
- [0093] <실험예 2> 자가조립식 유기 박막 전자소자의 분자서열 및 결정 구조
- [0094] 본 발명에 따른 자가조립식 유기 박막 전자소자의 분자서열 및 결정 구조를 확인하기 위하여, 상기 실시예 1에 의해 제조된 전자소자에 대하여 2D-그레이징 입사 X-선 회절(GIXD, 2D-grazing incidence X-ray diffraction) 분석을 포함 가속기 연구원의 싱크로트론 X-선 원(synchrotron X-ray source)을 통해 수행하였다. 그 결과를 도 3에 나타내었다. 이때, 도 3(a)는 상기 2D-그레이징 입사 X-선 회절 분석을 위한 실험장치의 모식도이다.
- [0095] 도 3(b)는 폴리이미드 게이트 절연체 상에 스핀코팅된 50 nm 두께의 C<sub>10</sub>-BTBT 박막의 2D GIXD 패턴을 나타낸다. 상기 스핀 코팅된 C<sub>10</sub>-BTBT 박막은 (001) 회절 피크 주위에서 디바이 고리(Debye ring)를 따라 회절 강도를 나타내고, 이를 통해 스핀 코팅된 박막은 3.37 nm의 계면 거리로 다결정체 층상 구조를 가지는 것을 알 수 있다.
- [0096] 나아가, 도 3(b)에 따르면, 평면에서 특별한 반사 피크가 나타나지 않는 것을 확인할 수 있는데, 이를 통해, 도 3(c)에 나타난 바와 같이, 자가 조립된 C<sub>10</sub>-BTBT 박막은 q<sub>xy</sub> 평면에서 q<sub>z</sub> 방향으로 많은 반사점을 발생시키는 것을 알 수 있다. 도 3(b) 및 도 3(c)에 나타난 바와 같이, 상기 반사점들을 통해 C<sub>10</sub>-BTBT 박막의 3차원 결정 구조가 수평 및 수직 방향으로 잘 정렬된 것을 알 수 있다. 구체적으로, 상기 C<sub>10</sub>-BTBT 결정 구조의 반사점들은 (001), (002) 및 (003)에 대하여 q<sub>z</sub> 방향으로 3.38 nm, 1.66 nm 및 1.12 nm인 것을 확인할 수 있다. 이때, 도 3(c)에 나타난 바와 같이 (110) 및 (020) 결정구조에서의 반사점은 평면에서 발생하는 것을 나타낸 것이다.
- [0097] 도 3(d)는 도 3(c)의 2D GIXD 결과로부터 도출된 평면 밖의 방향으로의 1차원 회절 프로필을 나타낸다. 이때, 반사 X-선 회절 패턴은 33.83 Å의 면간거리(d-spacing)에 따른 강한 브래그(Bragg) 회절 피크를 나타내는 것을 확인할 수 있다.
- [0098] 폴리이미드 게이트 절연체 상의 C<sub>10</sub>-BTBT 선 패턴의 분자 정렬은 c축 방향에 따라 라멜라 구조를 가진다. 나아가, C<sub>10</sub>-BTBT 단결정은 P21/a의 단사정계 구조를 가진다. 이때, C<sub>10</sub>-BTBT의 단사정에서 c축과 a축 사이의 베타 각은 정확히 93.727°이다.
- [0099] 도 3(e)에 따르면, C<sub>10</sub>-BTBT 선 패턴의 q<sub>xy</sub>-축에 따른 회절 분석 결과를 알 수 있다. 단결정에 따른 평면에서의 반사점은 q<sub>xy</sub> (>0)에서 주로 수직하게 관찰되고, {1, ±1} 및 {0, ±2}에 지정된다. 그러나, 상기 선 패턴을 X-선 빔의 방향에 수평하게 놓으면, 도 3(c)에 나타난 평면에서의 반사점이 나타나지 않는다.
- [0100] 상기 C<sub>10</sub>-BTBT 결정 방향은 PDMS 주형의 벽에 대하여 거의 수직인 (100) 방향이고, (010) 방향은 온도 구배 방향으로 도출되는 패턴의 성장 방향과 같다.
- [0101] 상기 결과는 도 3(b)에 나타난 성장 방향을 조절하지 않고 스핀 코팅된 다결정 박막의 확산 회절 결과와 반대된다. 그러므로, 폴리이미드 유전체층 상에 액정을 이용하여 용매없이 패턴화된 C<sub>10</sub>-BTBT 박막의 경우 고성능 전계 효과 트랜지스터에 적합한 결정구조를 제공하는 것을 알 수 있다.
- [0102] <실험예 3> 유기박막트랜지스터의 소자 성능
- [0103] 본 발명에 따라 제조된 유기 박막 트랜지스터의 소자성능에 대하여 확인하기 위하여 본 발명의 실시예 5의 유기 박막 트랜지스터의 채널 영역을 편광현미경을 통해 관찰하였고, 그 결과를 도 4(a)에 나타내었다. 또한, 본 발명에 따른 실시예 5의 유기 박막 트랜지스터의 소자 성능을 확인하기 위하여 종래의 ITO 기판, 유기 게이트 절연체층을 가지는 전자소자의 전형적인 전기 특성을 도 4(b)에 나타내었고, 본 발명의 실시예 5 및 비교예 1에서 제조된 유기 박막 트랜지스터의 선형 및 포화 영역에서의 전달특성을 측정하여, 그 결과를 도 4(c)에 나타내었

다.

[0104] 도 4(a)에 따르면, 본 발명에 따라 제조된 유기 박막 트랜지스터는 채널 부분에서 단결정 구조를 가지는 것을 확인할 수 있다.

[0105] 도 4(c)에 따르면, 본 발명에 따른 실시예 5의 전하 이동도( $\mu$ )는 약  $1.74 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$  로 계산될 수 있다. 이때, 상기 전하이동도는 하기 도 4(c)로부터 도출된 수치로부터 MOSFET 표준모형인 하기 식 1에 따라 계산되었다.

[0106] <식 1>

[0107] 
$$I_d = (W/2L) C_i \mu (V_g - V_t)^2$$

[0108] 이때, 상기 W는 채널의 간격이고, L은 소스 및 드레인 사이의 채널 길이이고, Ci는 유전체 층의 면적당 전기용량이고,  $V_t$ 는 문턱전압을 나타낸다.

[0109] 이를 통해, 본 발명에 따른 유기 박막 트랜지스터는  $C_{10}$ -BTBT의 높은 결정화도 및 우수한 분자 충전능을 가짐으로 인하여, 비교예 1의 유기 박막 트랜지스터가 약  $0.2 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$  의 값을 가지는 것에 비해 높은 전하이동도 값을 가지는 것을 알 수 있다.

[0110] <실험예 4> 전계 효과 트랜지스터의 전기적 특성 분석

[0111] 본 발명에 따른 실시예 5, 비교예 1 및 비교예 2를 통해 제조된  $C_{10}$ -BTBT를 이용한 유기 박막 트랜지스터의 대표적인 전기적 특성을 측정하여 하기 표 1에 나타내었다.

표 1

[0112]

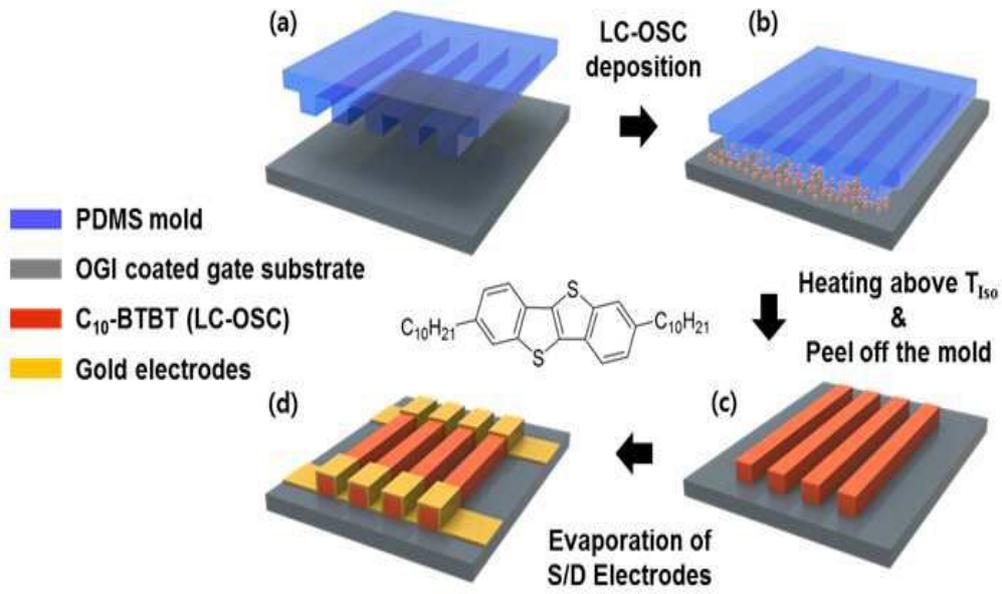
	전하이동도 ( $\text{cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ )	문턱전압 (V)	S-기울기 (V/Dec)
비교예 1	0.22 <sup>a</sup>	-38.1	4.8
비교예 2	0.36 <sup>a</sup>	-31.4	4.4
실시예 5	1.74 <sup>b</sup>	-26.0	3.4

[0113] 상기 a는  $[L/W = 50/1000 \text{ }\mu\text{m}]$ , b는  $[L/W = 50/500 \text{ }\mu\text{m}]$  이고, 이때, L은 Au 전극 채널 전체의 길이, W는 Au 전극 채널의 폭을 나타낸다.

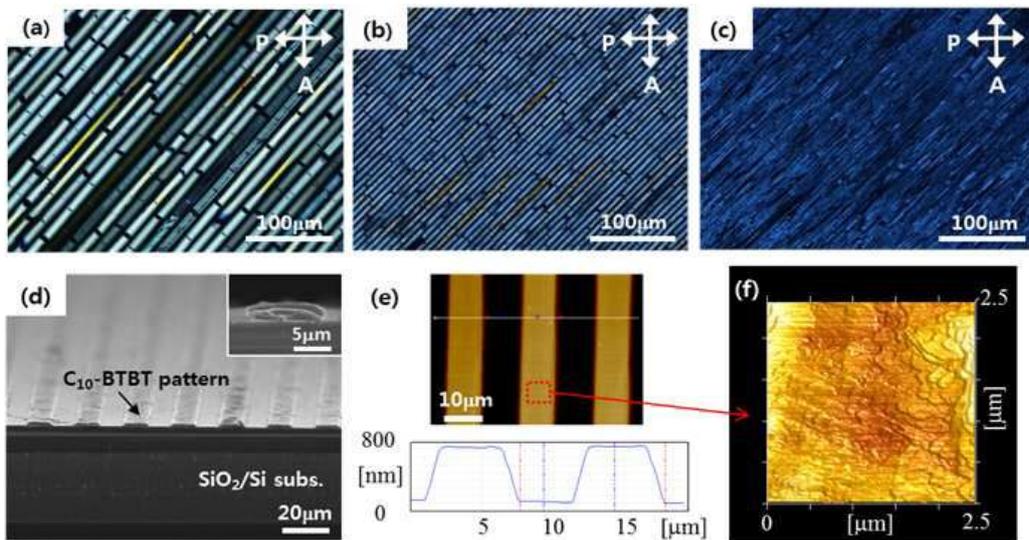
[0114] 상기 표 1에 따르면, 비교예 1 및 비교예 2의 유기 박막 트랜지스터가 약 0.2 내지  $0.4 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$  의 전하 이동도 값을 가지는 것에 비해 높은 약  $1.74 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$  의 전하이동도 값을 가지는 것을 확인할 수 있다. 이를 통해 본 발명에 따른 유기 박막 트랜지스터는  $C_{10}$ -BTBT의 높은 결정화도 및 우수한 분자 충전능을 가짐으로 인하여, 전하이동도가 현저히 향상되는 것을 알 수 있다.

도면

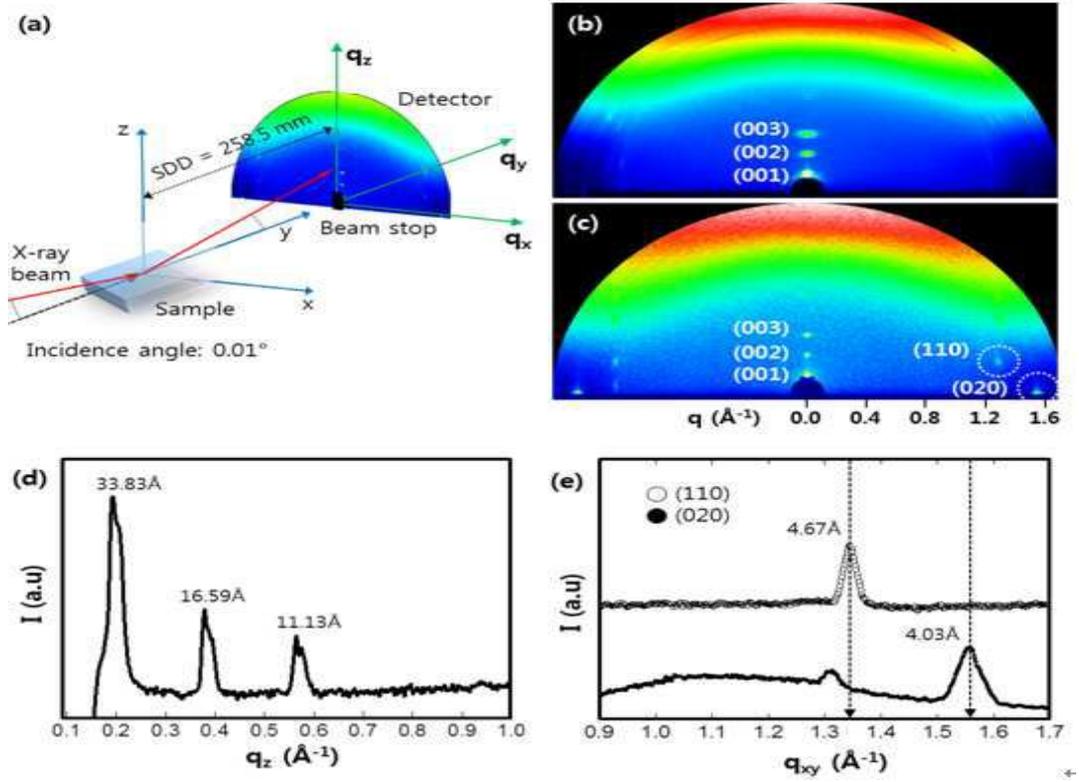
도면1



도면2



도면3



도면4

