

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4714251号  
(P4714251)

(45) 発行日 平成23年6月29日(2011.6.29)

(24) 登録日 平成23年4月1日(2011.4.1)

(51) Int.Cl. F I  
**GO 1 V 3/00 (2006.01)** GO 1 V 3/00 C  
 GO 1 V 3/00 B

請求項の数 8 (全 14 頁)

<p>(21) 出願番号 特願2008-235058 (P2008-235058)                  (22) 出願日 平成20年9月12日 (2008.9.12)                  (65) 公開番号 特開2009-162745 (P2009-162745A)                  (43) 公開日 平成21年7月23日 (2009.7.23)                  審査請求日 平成20年9月12日 (2008.9.12)                  (31) 優先権主張番号 PCT/KR2007/007024                  (32) 優先日 平成19年12月31日 (2007.12.31)                  (33) 優先権主張国 世界知的所有権機関(WO)</p>	<p>(73) 特許権者 506081530                  コリア インスティテュート オブ ジオ                  サイエンス アンド ミネラル リソース                  ズ                  大韓民国 デジョン 305-350 ユ                  ソン-グ グァハン-ノ 92                  (74) 代理人 100122471                  弁理士 初井 孝文                  (72) 発明者 ジュン ヒュン-キ                  大韓民国, デジョン 302-222,                  ソ-グ, サムチョン-ドン, ガラム                  アパートメント 9-1205                  審査官 ▲高▼見 重雄</p>
--	---

最終頁に続く

(54) 【発明の名称】 電気比抵抗探査送信電極自動配電制御装置及び方法

(57) 【特許請求の範囲】

【請求項 1】

電気比抵抗探査計測システムにおける複数の送信電極を自動配電する制御装置であって、

n 個の各送信電極の上段及び下段に一对の MOSFET が連結され、前記各一对の MOSFET が相互並列で連結される回路と、

前記各 MOSFET のオン/オフを制御して電流送信を遂行する送信電極を選択する制御手段と、

を含んでなることを特徴とする、送信電極自動配電制御装置。

【請求項 2】

前記制御手段として、2つのデコーダを含み、

前記2つのデコーダは、各々前記の上段 MOSFET と前記の下段 MOSFET に連結されて、各 MOSFET のオン/オフを制御することを特徴とする、請求項 1 に記載の送信電極自動配電制御装置。

【請求項 3】

前記制御手段は、前記各 MOSFET の接地を分離する接地分離手段を介して、前記各 MOSFET のオン/オフを安定的に制御することを特徴とする、請求項 1 に記載の送信電極自動配電制御装置。

【請求項 4】

前記接地分離手段であって、各 MOSFET にフォトカプラが連結されることを特徴と

する、請求項 3 に記載の送信電極自動配電制御装置。

【請求項 5】

前記制御手段は、自動配電時に同一な送信電極が選択される場合、前記制御手段の出力を遮断する保護回路を含んでなることを特徴とする、請求項 1 に記載の送信電極自動配電制御装置。

【請求項 6】

前記保護回路は、デコーダと前記デコーダに連結された比較器とを含み、前記比較器で上段 MOSFET 制御データと下段 MOSFET 制御データとを比較して、完全に一致する場合、前記デコーダの出力を遮断することを特徴とする、請求項 5 に記載の送信電極自動配電制御装置。

10

【請求項 7】

電気比抵抗探査計測システムにおける複数の送信電極を自動配電する制御方法であって、

(a) 制御手段により、 $n$  個の各送信電極の上段及び下段に一对の MOSFET が連結され、前記各一对の MOSFET が相互並列で連結された回路で 2 つの送信電極 (C1、C2) を選択するステップと、

(b) 制御手段により前記送信電極 (C1) の上段 MOSFET 及び前記送信電極 (C2) の下段 MOSFET をオンさせ、一定時間待機するステップと、

(c) 制御手段により前記送信電極 (C1) の上段 MOSFET 及び前記送信電極 (C2) の下段 MOSFET をオフさせ、一定時間待機するステップと、

20

(d) 制御手段により前記送信電極 (C1) の下段 MOSFET 及び前記送信電極 (C2) の上段 MOSFET をオンさせ、一定時間待機するステップと、

(e) 制御手段により前記送信電極 (C1) の下段 MOSFET 及び前記送信電極 (C2) の上段 MOSFET をオフさせ、一定時間待機するステップと、

を含んでなることを特徴とする、送信電極自動配電制御方法。

【請求項 8】

前記 (a) ステップは、

(a-1) 前記の上段 MOSFET を制御するデータと前記の下段 MOSFET を制御するデータとを比較するステップと、

(a-2) 前記上段 MOSFET 制御データと前記下段 MOSFET 制御データとが完全に一致する場合、前記制御手段の出力を遮断するステップと、

30

を含んでなることを特徴とする、請求項 7 に記載の送信電極自動配電制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気比抵抗探査送信電極自動配電制御装置及び方法に関し、より詳しくは、MOSFET 電子素子配列を用いて送信電極配列の自動電極制御を遂行する安定的で、かつ半永久的な送信電極自動配電制御装置及びその方法に関する。

【背景技術】

40

【0002】

地下を非破壊映像化する地区物理探査法の 1 つとして最近に広く使われている電気比抵抗探査法は、不均質な媒質で複雑に形成された地層構造を映像化 (imaging) するために、地下内に人為的に電流 (I) を透過して電位差 (V) を測定した後、地下媒質の電気的物性分布差異を用いて、地質構造や異常帯を把握する地球物理学的方法である。

【0003】

即ち、一对の電極を通じて直流電流を交互に順方向及び逆方向に流しながら他の一对の電位電極で電位差を測定することで、地下の電気比抵抗分布を把握する地下探査法である。

【0004】

50

図1は、地下の電気伝導度物性が地質特性によって異なるように分布する場合、この差異を用いて地下を非破壊映像化する電気比抵抗探査法の現場測定を説明する図である。

【0005】

電気比抵抗は、電気がよく通る程度を示す電気伝導度の逆数であって、物性の固有単位は  $\Omega \cdot m$  である。このような電気探査の結果、映像断面で低い比抵抗部位が捕捉されると、概して鉱脈や地下水脈と分析され、最近の土木建設現場でトンネル掘削前に行う地盤調査などでは避けたり事前の対策を立てなければならない破碎帯/断層などの軟弱帯に対する情報を示すこともする。

【0006】

さらに最近には、この方法がごみ埋立地や漏油発生現場で、環境汚染帯の探知のために10  
応用されたり、考古学的遺物調査のためにも活用されている。

【0007】

電気比抵抗探査システムは、大別して、送信部、受信部、デジタル制御部、電源部、測定ソフトウェアなどで構成され、ここに自動測定のためにはデジタル出力によるマルチチャンネルリレー配電盤の制御回路及び結線が追加される。

【0008】

図2は、電気比抵抗探査測定システムの構成例を示す図である。

【0009】

受信部では、送信部から注入された送信電極(C1、C2)間の電流が土の中の媒質を20  
通過しながら変化された電圧差(Potential difference)を、受信電極対(P1、P2)を通じて測定した後、利得(Gain)を与え、A/D変換器を通じて数値信号(Digital signal)に作って、直列(Serial)通信線を通じて制御/計測用ノートブックPCへ転送される。

【0010】

地表で移動しながら地下に電流を流し、電圧を測定して電気がよく通る部位を探し出す電気探査装置は、一見して電子部品から構成できる電子機器中の1つと考えられるが、正確な理論及び現場運用経験に基づく設計なしには各種現場で正しく使える探査機を作るとは容易でない。

【0011】

電気比抵抗探査で使われる電極配列法は、単極子配列(pole-pole array)、双極子配列(dipole-dipole array)、ウェンナー配列(Wenner array)、シュランベルジャー配列(Schlumberger array)などがあり、これらはそれぞれの長・短所を持っている。したがって、最も良い方法は同一側線上で、それぞれの電極配列に対する探査を遂行して比較することによって、相互間の長・短所を補完するものである。

【0012】

しかしながら、実際には、時間、経済性、または現場条件上、いろいろな方法を適用することは容易でない実状である。したがって、探査目的、規模、及び探査現場の条件に従い、最適の配列を選別する必要がある。

【0013】

電気比抵抗探査の試験方法及び原理を要約説明すると、地下媒質に存在する電気比抵抗異常帯(Anomaly)による異常電位差を測定及び解析して、地質構造、断層/破碎帯、地下水などの地下構造を糾明する物理探査技法である。

【0014】

電気比抵抗探査計測システムは、数十個の電極配列のうち、一対ずつ選びながら送信し、測定する。最近は、このような一連の手動式測定をリレー(relay)配列を使用してソフトウェア制御により自動化している。

【0015】

しかしながら、リレーを使用すると、数十万回の接点使用回数の制限により寿命が永久的でなくて、誤動作時にリレーが容易に破壊でき、かつ送信電流容量が増加する場合、リレーの大きさも大幅増大する。

10

20

30

40

50

## 【0016】

特に、出力負荷側に高電圧が送電されている間、リレー制御部電源が突発的に消える場合、リレーの機構的接点は大きい損傷を受けるが、この場合を考慮した設計は、充電用バッテリーを運用する野外探測装置である電気探査の場合によく発生する状況で、必ず考慮すべき事項である。勿論、これに対比して余裕ある大容量のリレーを採択することができるが、この場合、大きさと重さが増加し、またコスト及びリレー駆動電力も共に増加し、特にこの場合にも接点使用回数の機構的限界により寿命が永久的でないという問題は解決できない。即ち、リレーを使用すると、数十万回の接点使用回数の制限により寿命が永久的でない。実際に、電気探査のような場合、1秒当り1回の接点運用で長時日連続使用すると、数ヶ月で百万回の接点を超過してリレーの寿命が尽きる場合が多い。

10

## 【0017】

またリレーは、低速で、アーク発生による接触不良と誘導負荷によるサージノイズ (surge noise) の発生、機械的摩耗、バウンスチャタリング (bounce chattering) などの問題を甘受しなければならない。

## 【0018】

したがって、このような送信電極配列の自動電極制御を半導体素子 (MOSFET等) の配列を用いて代替することができる方法があると、非常に安定的で、かつ半永久的な装置になるが、現在最新製品ではこのような適用が考案された事例がない。

## 【発明の開示】

## 【発明が解決しようとする課題】

20

## 【0019】

前述した従来技術の問題点を解決するために、本発明は、バイポーラ送信高速スイッチングが可能で、安定的で、かつ半永久的な送信電極自動配電装置を提供することをその目的とする。

## 【課題を解決するための手段】

## 【0020】

前述した課題を解決するための本発明の送信電極自動配電制御装置は、電気比抵抗探査計測システムの送信電極自動配電制御装置であって、n個の各送信電極の上段及び下段に一对のMOSFETが連結され、上記各一对のMOSFETが相互並列で連結される回路と、上記各MOSFETのオン/オフ (ON/OFF) を制御する制御手段と、を含んでなることを特徴とする。

30

また、上記制御手段としては、2つのデコーダ (decoder) が利用されることができ、上記2つのデコーダは、各々上記の上段MOSFETと上記の下段MOSFETに連結されて、各MOSFETのオン/オフ (ON/OFF) を制御するようになる。

このように、本発明は従来のリレー配列を用いた自動配電装置を一对のMOSFETが並列で連結される回路構造に代替することにより、バイポーラ送信高速スイッチングが可能で、安定的で、かつ半永久的な送信電極自動配電装置を提供することができる。

また、上記の制御手段は、上記各MOSFETの接地を分離する接地分離手段を介して上記各MOSFETのオン/オフ (ON/OFF) を安定的に制御することを特徴とし、上記接地分離手段として各MOSFETにフォトプラが連結されることができ、即ち、上記MOSFETのオン/オフ (ON/OFF) 制御時に数百ボルトの高電圧がかかることになるので、本発明では安定な動作のために、グラウンドが分離された接地分離手段により安定したMOSFET制御を遂行する方法を提供する。

40

また、上記制御手段は、自動配電時に同一な送信電極が選択される場合、上記制御手段の出力を遮断する保護回路を含んでなることを特徴とする。上記保護回路の一例としては、デコーダと上記デコーダに連結された比較器とを含んでなり、上記比較器において、上段MOSFET制御データと下段MOSFET制御データとを比較して、完全に一致する場合、上記デコーダの出力を遮断する方式が利用されることができ、

このように、本発明は、同一電極が選択される場合、論理的にオン (ON) 制御がなされない保護回路を構成して、誤動作時にMOSFET素子が破壊されることを事前に遮断で

50

きるようになる。

また、前述した課題を解決するための本発明の送信電極自動配電制御方法は、電気比抵抗探査計測システムの送信電極自動配電制御方法であって、(a)制御手段により、n個の各送信電極の上段及び下段に一对のMOSFETが連結され、上記各一对のMOSFETが相互並列で連結された回路で2つの送信電極(C1、C2)を選択するステップと、(b)制御手段により上記送信電極(C1)の上段MOSFET及び上記送信電極(C2)の下段MOSFETをオン(ON)させ、一定時間待機するステップと、(c)制御手段により上記送信電極(C1)の上段MOSFET及び上記送信電極(C2)の下段MOSFETをオフ(OFF)させ、一定時間待機するステップと、(d)制御手段により上記送信電極(C1)の下段MOSFET及び上記送信電極(C2)の上段MOSFETをオン(ON)させ、一定時間待機するステップと、(e)制御手段により上記送信電極(C1)の下段MOSFET及び上記送信電極(C2)の上段MOSFETをオフ(OFF)させ、一定時間待機するステップと、を含んでなることを特徴とする。

10

このように、一对のMOSFETを並列で配列したH-ブリッジ構造に基づいて、選択された一对の送信電極に連結された上段及び下段MOSFETを交互にオン(ON)に制御することによって、送信電極に交互に順方向及び逆方向電流を送信するバイポーラ制御方式を具現して、安定的で、かつ信頼性ある電気比抵抗探査が遂行できるようになる。

また、上記(a)ステップは、(a-1)上記の上段MOSFETを制御するデータと上記の下段MOSFETを制御するデータとを比較するステップと、(a-2)上記の上段MOSFET制御データと上記の下段MOSFET制御データとが完全に一致する場合、上記制御手段の出力を遮断するステップと、を含んでなることが好ましくて、これによって、誤動作により同一電極が選択されてMOSFET素子が破壊されることを事前に遮断できるようになる。

20

#### 【発明の効果】

##### 【0021】

本発明によると、バイポーラ送信高速スイッチングが可能で、安定的で、かつ半永久的な送信電極自動配電装置及びその方法を提供して、従来のリレー方式の問題点を画期的に解決することができる。

##### 【0022】

また、本発明の送信電極自動配電装置は、各MOSFETの接地を分離する接地分離手段を介して、上記各MOSFETのオン/オフ(ON/OFF)を安定的に制御することができ、同一電極が選択される場合、論理的にオン(ON)制御がなされない保護回路を構成して、誤動作時にMOSFET素子が破壊されることを事前に遮断することができる。

30

#### 【発明を実施するための最良の形態】

##### 【0023】

以下、添付された図面を参考しつつ本発明の一実施形態による電気比抵抗探査送信電極自動配電制御装置及び方法を詳細に説明する。

##### 【0024】

本発明は、ここに説明される実施形態に限定されず、他の形態で具体化されることができる。むしろ、ここで紹介される実施形態は開示された内容が徹底し、完全になることができるように、そして当業者に本発明の思想が十分伝達できるようにするために提供されるものである。

40

##### 【0025】

図3は、本発明の一実施形態に係る送信電極自動配電制御装置のMOSFET配列において、選択された一对の電流送信電極(C1、C2)に交互に順方向及び逆方向電流をバイポーラ送信制御するH-ブリッジ概念図であり、図4は本発明の一実施形態に係る送信電極自動配電制御装置の基本的な回路構成を示す概念図である。

##### 【0026】

図4に示すように、本発明の送信電極自動配電制御装置は、n個の各送信電極(C0、C1、・・・、Cn)の上段及び下段に一对のMOSFET(MH0、ML0、・・・、

50

MH<sub>n</sub>、ML<sub>n</sub>)が連結され、各一对のMOSFET(MH<sub>0</sub>、ML<sub>0</sub>、・・・、MH<sub>n</sub>、ML<sub>n</sub>)が相互並列で連結される回路を基本に構成され、各MOSFETのオン/オフ(ON/OFF)を制御する制御手段(図示せず)が含まれる。

【0027】

このように、本発明は従来のリレー配列を用いた自動配電装置を一对のMOSFETが並列で連結される回路構造に代替したものを基本構成とする。MOSFETは、高速スイッチングが可能であり、導通時に内部抵抗が大変少ないし、発熱も少なく、本発明の自動配電制御装置は、従来のリレー方式に比べて非常に安定的で、かつ半永久的な使用が可能である。特に、大容量リレーでも解決できない寿命制限の問題を解決することができる。

10

【0028】

本発明の基本回路構成は、選択された一对の送信電極に交互に順方向及び逆方向電流を送信するバイポーラ送信を自動で制御できるように、図3に図示されたH-ブリッジ構造を基本構成とする。

【0029】

図3に示すように、送信電極(C1)の上段及び下段に一对のMOSFET(MH1、ML1)が連結され、同様に送信電極(C2)にも一对のMOSFET(MH2、ML2)が連結され、MOSFET(MH1、ML1)とMOSFET(MH2、ML2)は並列で連結されて、送信電極(C1、C2)に対してH-ブリッジ構造をなす。C1の上段MOSFET(MH1)とC2の下段MOSFET(ML2)をオン(ON)に制御すると、順方向電流が送信され、C1の下段MOSFET(ML1)とC2の上段MOSFET(MH2)をオン(ON)に制御すると、逆方向電流が送信される。

20

【0030】

制御手段により各MOSFETのオン/オフ(ON/OFF)を制御する場合、数百ボルトの高電圧がかかることになるが、本発明では、各MOSFETの接地を分離する接地分離手段を介して各MOSFETのオン/オフ(ON/OFF)を安定的に制御することを特徴とする。

【0031】

接地分離手段の一実施形態では、図3及び図4に示すように、各MOSFETにフォトカプラ(PH0、PH1、・・・、PH<sub>n</sub>、PL0、PL1、・・・、PL<sub>n</sub>)が連結されることができ、フォトカプラは、光を用いるので、雑音に強く、システムを構成する素子間の電流を絶縁することができ、各素子毎に接地が可能である。また、素子間の結合容量が小さいので、出力側の信号が入力側に戻ることがないなどの長所がある。このようなフォトカプラを各MOSFETに媒介して結合すると、MOSFETのグラウンドを分離できるので、安定したオン/オフ(ON/OFF)が可能になる。

30

【0032】

図5は、本発明の制御手段の一実施形態であるデジタル制御回路部を示している。

【0033】

本実施形態では、図5に示すように、制御手段として2つのデコーダ(decoder)DH、DLが用いられることができる。1つのデコーダDHは、上段MOSFET(MH0、MH1、・・・、MH<sub>n</sub>)のオン/オフ(ON/OFF)を、残りのデコーダDLは下段MOSFET(ML0、ML1、・・・、ML<sub>n</sub>)のオン/オフ(ON/OFF)を制御することになる。

40

【0034】

本実施形態では、送信電極の数を $n = 16$ の場合に対応して、16ビット4進デコーダICを表している。探査現場では、必要な探測線の延長線距離に従って、普通一定間隔の探測電極数( $n$ )を16、32、48、68等に拡張して探査することができる。このように、電極数( $n$ )が増加する場合、 $n = 16$ の基本回路を必要な倍数だけ追加して活用することができる。

【0035】

50

一方、本発明の制御装置が誤動作により同一な送信電極が選択されると、出力合線によりMOSFET素子が破壊されて、装置を使用できなくなる。このような場合、探査装備運用者は現場で探査を終了し撤収して、装置を修理せざるをえない。

【0036】

このような問題を解決するために、本発明の制御手段は、自動配電時に同一な送信電極が選択される場合、制御手段の出力を遮断する保護回路を含んでなされる。

【0037】

保護回路の一実施形態では、図5に示すように、2つのデコーダDH、DLとデコーダDH、DLに連結された比較器CPを含んで構成されることができる。ここで、16個の電極を希望の通り制御し保護するために、比較器CPは1つの4ビット比較ICを、2つのデコーダDH、DLは16ビット4進デコーダICを必要とする。

10

【0038】

システムの統合制御部は、1チップ(one chip)マイクロプロセッサ、または産業用エンベデッド(Embedded)CPUボードを使用することができ、この際、8ビットのデジタル出力ラインを必要とする。この中で、4個はH\_\_D0、H\_\_D1、H\_\_D2、H\_\_D3に割り当てられて、1つのデコーダICに入力されて16個のうちの1つ(例えば、C\_\_H1)を選択して、図4の上段MOSFETをオン(ON)に制御するようになる。他の4個はL\_\_D0、L\_\_D1、L\_\_D2、L\_\_D3に割り当てられて、残りの1つのデコーダICに入力されて、また16個のうちの1つ(例えば、C\_\_L2)を選択して、図4の下段MOSFETをオン(ON)に制御するようになる。

20

【0039】

しかしながら、ここで誤りにより選択された電極2つが同一になる場合、同一な電極を制御する上段MOSFET及び下段MOSFETが同時にオン(ON)されて合線されるので、瞬間的に発熱して容易に素子が破壊される。現場で現実的によく発生し得るこの場合を保護するために、同一電極の上段及び下段MOSFETが同時にオン(ON)される場合には、デコーダICの出力が遮断されるようにすると、問題を解決することができる。

【0040】

このために、別途の4ビット比較ICを用いる。即ち、比較ICの上段制御用4ビット入力データ(H\_\_D0、H\_\_D1、H\_\_D2、H\_\_D3)、及び下段制御用4ビット入力データ(L\_\_D0、L\_\_D1、L\_\_D2、L\_\_D3)を横取りして比較監視し、完全に同一になる場合、比較ICの出力は2つのデコーダIC入力論理に伝達されて、各デコーダICの出力が遮断される。一方、以後の上段及び下段4ビットデータが1ビットでも違うようになると、また正常なデコーダIC制御状態が復元される。

30

【0041】

このように、本発明は同一電極が選択される場合、論理的にオン(ON)制御がなされない保護回路を構成して、誤動作時にMOSFET素子が破壊されることを事前に遮断できるようにする。

【0042】

以下、本発明の送信電極自動配電制御方法について詳細に説明する。

【0043】

電気比抵抗探査では、一对の電極を通じて直流電流を交互に順方向及び逆方向に流しながら電位差を測定する。これは、一方向の直流電流だけを流す場合、地中に存在する自然電位が加減されて正確な測定値の算出が困難であるためである。したがって、順方向及び逆方向電流の送信結果を合算することによって、自然電位を相殺して電位差を測定するようになる。本発明では、下記のような制御方式により順方向及び逆方向電流を交互に送信する。

40

【0044】

図6は、本発明の一実施形態に係る送信電極自動配電制御方法を示すフローチャートである。

【0045】

50

図6に示すように、本発明の送信電極自動配電制御方法は、n個の各送信電極の上段及び下段に一对のMOSFETが並列で連結された送信電極自動配電制御装置においてパイポーラ送信制御方式により遂行される。

【0046】

まず、(a)制御手段により2つの送信電極(C1、C2)を選択するステップ(S2)を遂行した後、(b)制御手段により上記送信電極(C1)の上段MOSFET及び上記送信電極(C2)の下段MOSFETをオン(ON)させ(順方向電流送信)、一定時間待機するステップ(S3)を遂行する。これによって、順方向電流による電位差が測定される。

【0047】

次に、(c)制御手段により、上記送信電極(C1)の上段MOSFET及び上記送信電極(C2)の下段MOSFETをオフ(OFF)させ、一定時間待機するステップ(S4)を遂行する。

【0048】

次に、(d)制御手段により、上記送信電極(C1)の下段MOSFET及び上記送信電極(C2)の上段MOSFETをオン(ON)させ(逆方向電流送信)、一定時間待機するステップ(S5)を遂行する。これによって、逆方向電流による電位差が測定される。

【0049】

次に、(e)制御手段により、上記送信電極(C1)の下段MOSFET及び上記送信電極(C2)の上段MOSFETをオフ(OFF)させ、一定時間待機するステップ(S6)を遂行する。

【0050】

上記(a)~(e)ステップは、探査が終了されるまで続けて反復され、制御手段により新たな一对の送信電極が選択される場合、(a)~(e)ステップがまた遂行される。

【0051】

以上、説明したように、本発明では、一对のMOSFETを並列で配列したH-ブリッジ構造に基づいて、選択された一对の送信電極に連結された上段及び下段MOSFETを交互にオン(ON)に制御することによって、送信電極に交互に順方向及び逆方向電流を送信するパイポーラ制御方式を具現して、安定的で、かつ信頼性ある電気比抵抗探査が遂行できるようになる。

【0052】

また、上記(a)ステップは、(a-1)上段MOSFETを制御するデータと下段MOSFETを制御するデータとを比較するステップと、(a-2)上段MOSFET制御データと下段MOSFET制御データとが完全に一致する場合、上記制御手段の出力を遮断するステップと、を含んでなることが好ましい。

【0053】

制御手段により一对の送信電極が選択されるステップ(S2)において、誤りにより選択された電極2つが同一になる場合には、素子保護のために制御手段の信号出力を遮断する必要がある。このために、上記(a)ステップで、前述した(a-1)及び(a-2)ステップが遂行されることが好ましい。

【0054】

上記(a-1)及び(a-2)ステップは、制御手段に備えられた前述した保護回路を用いて遂行される。即ち、制御手段にデコーダと連結された比較器を備えて、該当比較器で上段MOSFET制御用入力データと下段MOSFET制御用入力データとを比較監視し、両データが完全に同一になる場合、比較器の出力はデコーダの入力論理に伝達されて、デコーダの出力が遮断される。

【0055】

本発明は、制御手段により事前に入力データを比較するステップを遂行することによって、誤動作により同一電極が選択されて、MOSFET素子が破壊されることを事前に遮断できるようになる。

10

20

30

40

50



## 【 0 0 5 6 】

以上、図面と明細書において実施形態が開示された。ここで、特定の用語が使われたが、これはただ本発明を説明するために使われたものであって、意味の限定や特許請求範囲に記載された本発明の範囲を制限するために使われたものではない。したがって、本技術分野の通常の知識を有する者であればこれから多様な変形及び均等な他実施形態が可能であることを理解するはずである。したがって、本発明の真の技術的保護範囲は添付された特許請求範囲の技術的思想により定まるべきである。

## 【 0 0 5 7 】

本発明の電気比抵抗探査送信電極自動配電制御装置及び方法は、電気比抵抗探査に広範囲に利用されることができる。

10

## 【図面の簡単な説明】

## 【 0 0 5 8 】

【図 1】電気比抵抗探査法の現場測定を説明する図である。

【図 2】従来技術の電気比抵抗探査測定システムの構成例を示す図である。

【図 3】本発明の一実施形態に係る送信電極自動配電制御装置の M O S F E T 配列において、選択された一対の電流送信電極 ( C 1 、 C 2 ) に交互に順方向及び逆方向電流をパイプーラ送信制御する H - ブリッジ概念図である。

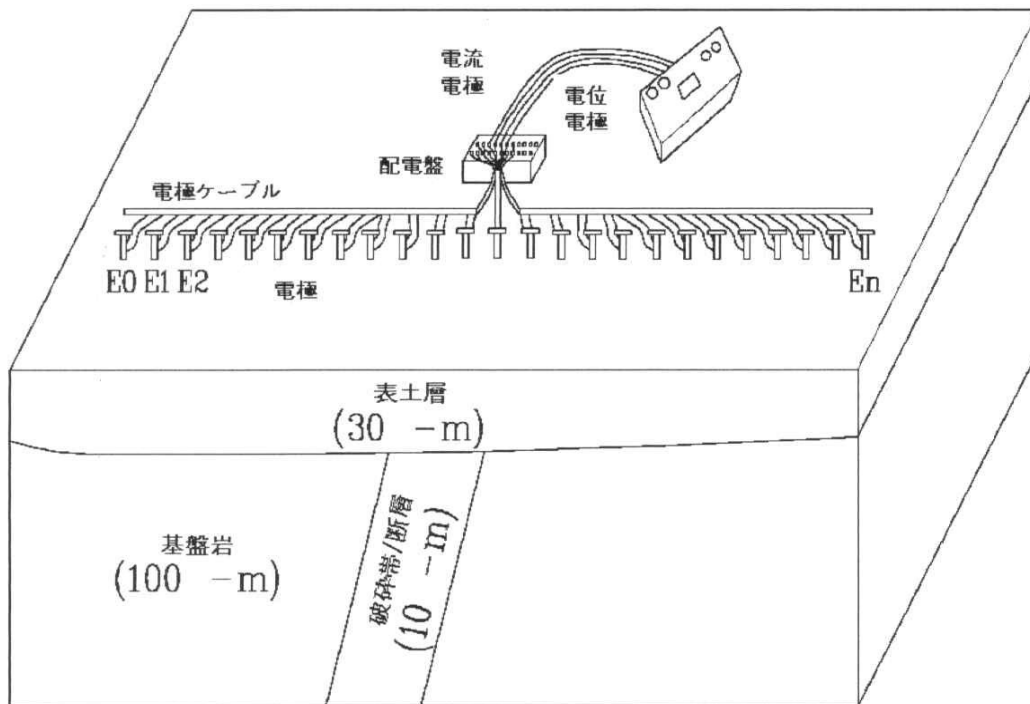
【図 4】本発明の一実施形態に係る送信電極自動配電制御装置の基本的な回路構成を示す概念図である。

【図 5】本発明の一実施形態に係る送信電極自動配電制御装置のデジタル制御回路部を示す図である。

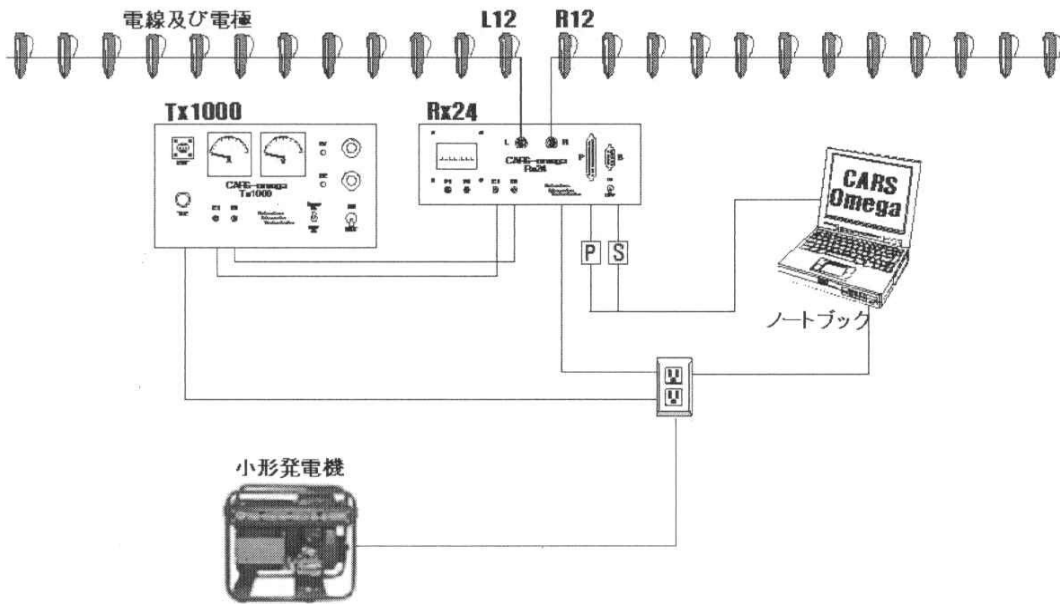
20

【図 6】本発明の一実施形態に係る送信電極自動配電制御方法を示すフローチャートである。

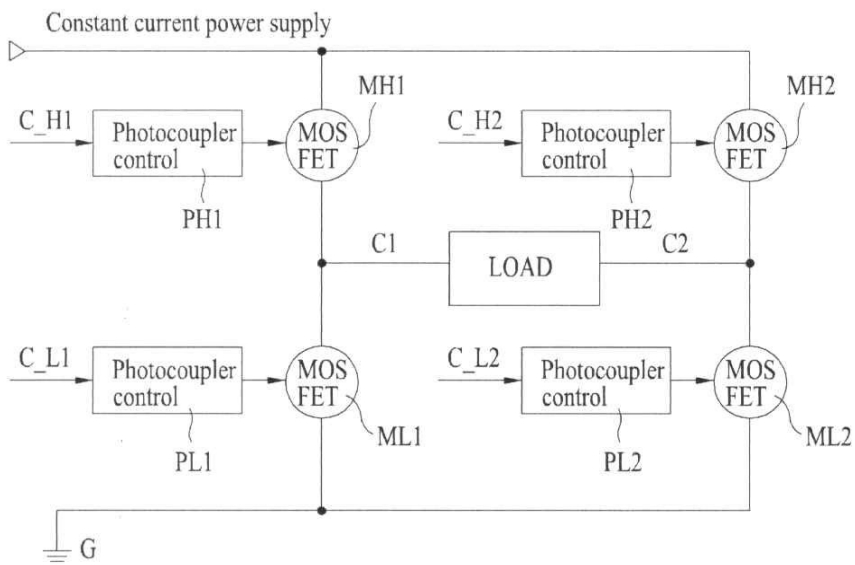
## 【 図 1 】



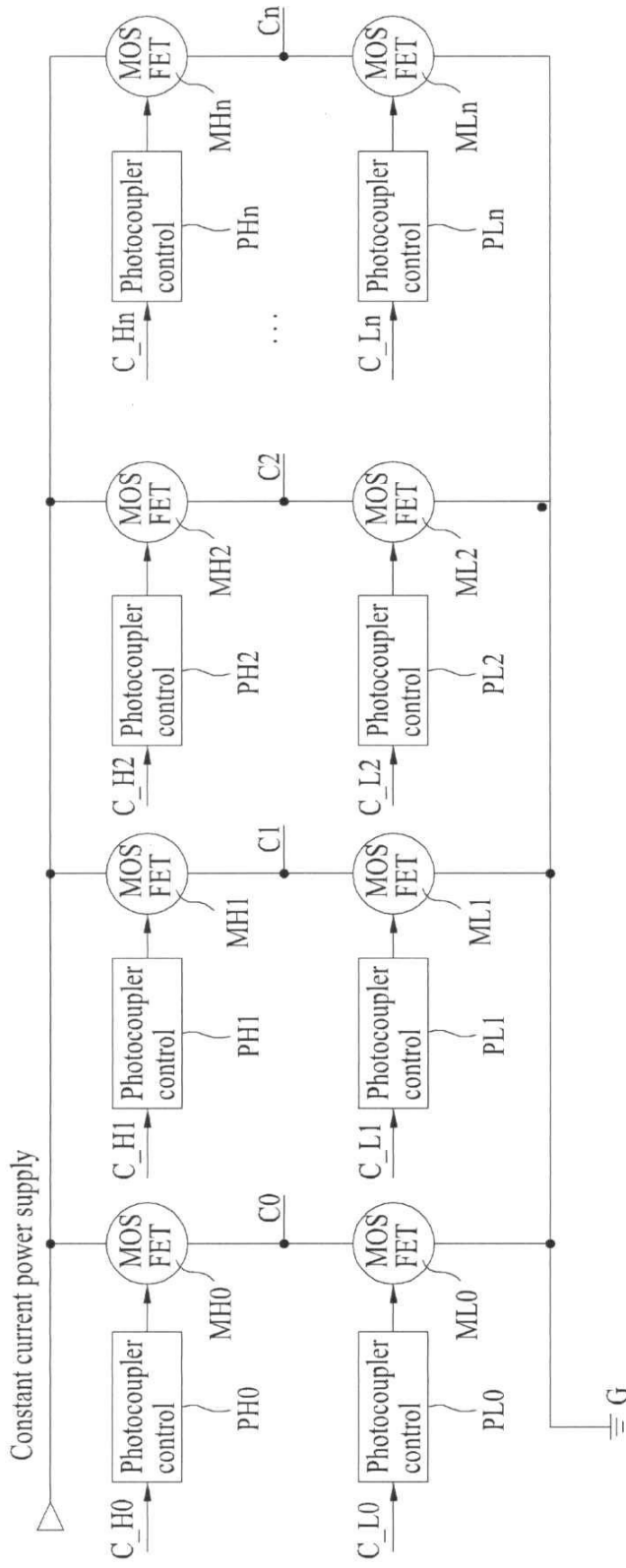
【 図 2 】



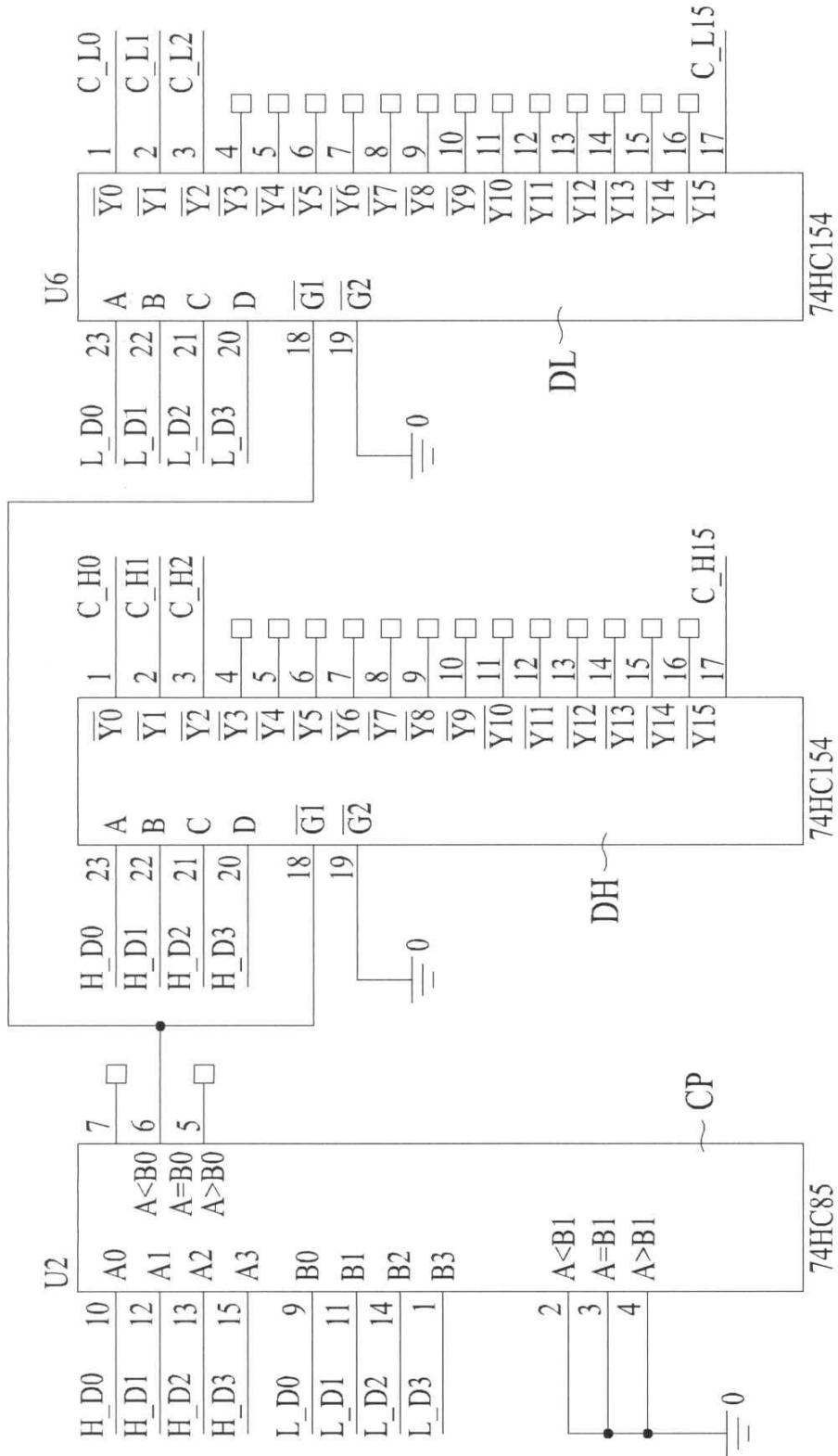
【 図 3 】



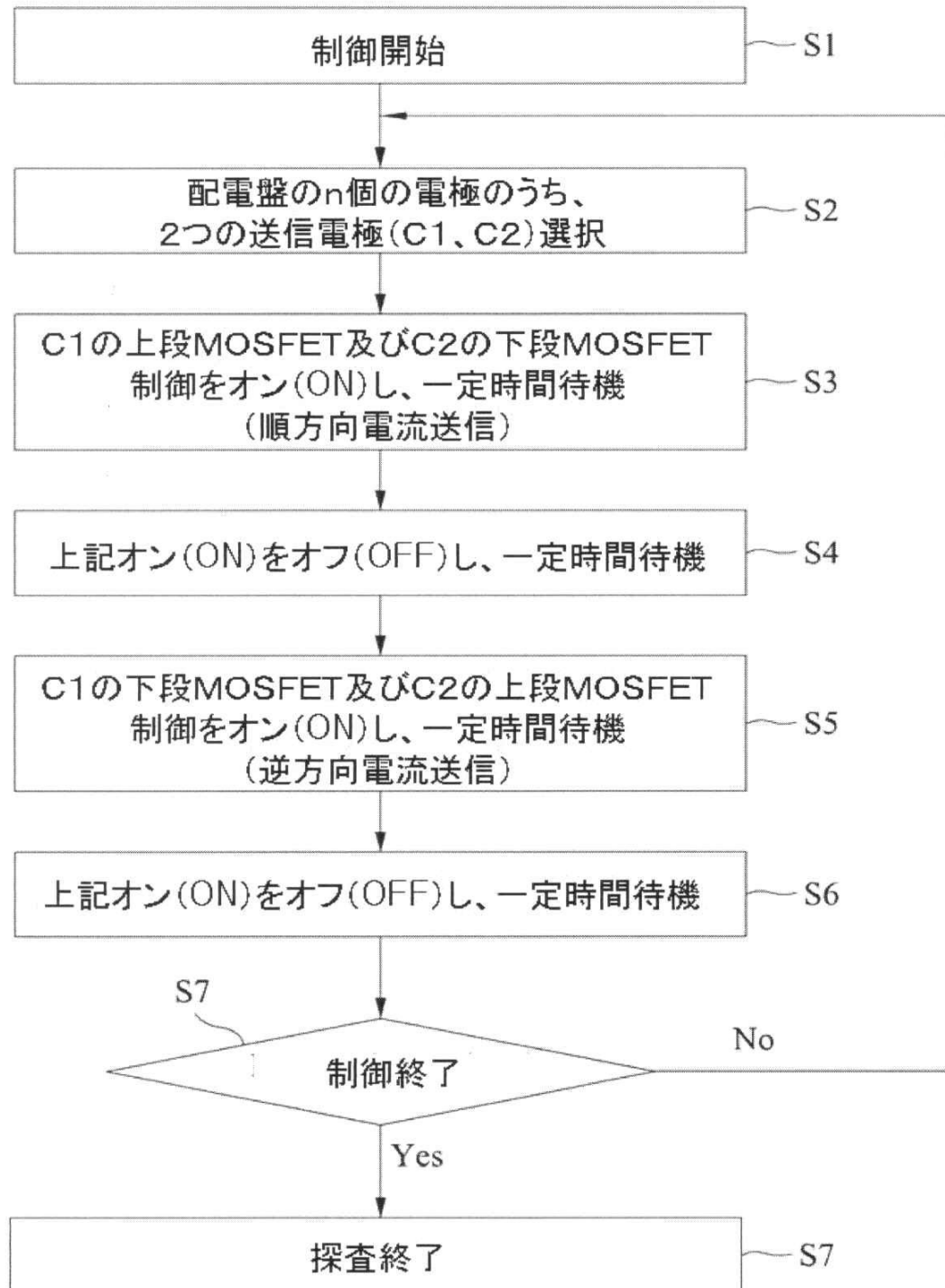
【 図 4 】



【 図 5 】



【図6】



---

フロントページの続き

- (56)参考文献 特開平01-240890(JP,A)  
特公昭39-017651(JP,B1)  
特開平08-083909(JP,A)  
特開平08-017587(JP,A)  
特開平09-006295(JP,A)  
特開2004-055538(JP,A)  
特開2003-218705(JP,A)  
特開昭48-000102(JP,A)  
特開平03-148090(JP,A)  
米国特許出願公開第2007/0299632(US,A1)  
米国特許第6295512(US,B1)

(58)調査した分野(Int.Cl., DB名)

G01V 1/00-13/00