



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년10월26일
 (11) 등록번호 10-0989643
 (24) 등록일자 2010년10월18일

(51) Int. Cl.

H01L 35/28 (2006.01)

(21) 출원번호 10-2009-0102387
 (22) 출원일자 2009년10월27일
 심사청구일자 2009년10월27일
 (56) 선행기술조사문헌
 JP09199765 A
 JP11243169 A
 JP2001111120 A

(73) 특허권자
 한국기계연구원
 대전 유성구 장동 171번지
 (72) 발명자
 현승민
 대전광역시 유성구 장동 171
 장봉균
 대전광역시 유성구 장동 171
 (뒷면에 계속)
 (74) 대리인
 특허법인다나

전체 청구항 수 : 총 12 항

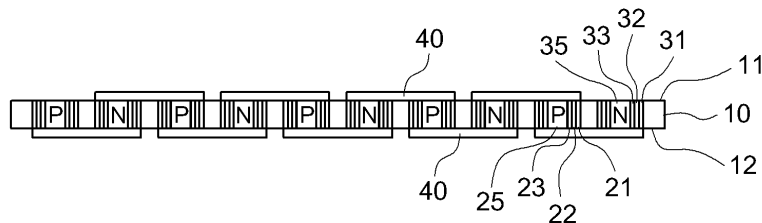
심사관 : 김주승

(54) 박막형 열전모듈 제조방법 및 이를 이용한 적층 반도체칩 패키지

(57) 요약

반도체 공정을 이용하여 박막형 열전모듈을 제조하는 방법으로서, (a) 실리콘 기판의 상면을 통하여 상기 실리콘 기판 내부에 P형 반도체를 일정 간격으로 실장하는 단계, (b) 상기 실리콘 기판의 하면을 통하여 이웃하는 상기 P형 반도체 사이에 N형 반도체를 일정 간격으로 실장하는 단계, (c) 상기 실리콘 기판의 상, 하면에서 상기 P, N형 반도체를 노출시키고, 이웃하는 P,N형 반도체를 서로 통전 가능하게 연결하는 전극을 형성하는 단계를 수행하는 것을 특징으로 하여, 적층 반도체칩 패키지에 사용하기 적합한 컴팩트한 구성으로 각 반도체 칩에서 발생된 열을 배출 가능하게 함으로써 반도체 칩의 성능저하나 파손을 방지할 수 있는 박막형 열전모듈의 제조방법이다.

대표도 - 도4e



(72) 발명자

이학주

대전광역시 유성구 장동 171

최병익

대전광역시 유성구 장동 171

송준엽

대전광역시 유성구 장동 171

송재용

대전광역시 유성구 가정동 209

이 발명을 지원한 국가연구개발사업

과제고유번호 OD012B

부처명 지식경제부

연구관리전문기관

연구사업명 기관협동연구

연구과제명 능동냉각 및 공정 신뢰성 기술 개발

기여율

주관기관 한국기계연구원

연구기간 2008년 12월 23일 ~ 2010년 02월 28일

특허청구의 범위

청구항 1

반도체 공정을 이용하여 박막형 열전모듈을 제조하는 방법으로서,

- (a) 실리콘 기판의 상면을 통하여 상기 실리콘 기판 내부에 P형 반도체를 일정 간격으로 실장하는 단계
- (b) 상기 실리콘 기판의 하면을 통하여 이웃하는 상기 P형 반도체 사이에 N형 반도체를 일정 간격으로 실장하는 단계 및
- (c) 상기 실리콘 기판의 상, 하면에서 상기 P, N형 반도체를 노출시키고, 이웃하는 P,N형 반도체를 서로 통전 가능하게 연결하는 전극을 형성하는 단계를

수행하는 것을 특징으로 하는 박막형 열전모듈의 제조방법.

청구항 2

제1항에 있어서,

상기 P형 반도체를 실장하는 단계는,

- (a-1) 상기 실리콘 기판의 상면에 감광성수지(Phoresist)를 코팅하여 감광성수지층(15)을 형성하는 단계
- (a-2) 상기 감광성수지층 상에 P형 반도체가 실장될 위치에 따라 천공된 마스크(mask)를 배열하고, 자외선을 조사하여 감광성수지층 중 자외선에 노출된 부분을 제거하는 단계
- (a-3) 제거된 감광성수지층을 통하여 노출된 실리콘 기판을 식각하여 P형 반도체자리를 형성하는 단계
- (a-4) 상기 P형 반도체자리에 절연층을 형성하는 단계
- (a-5) 상기 실리콘 기판의 상면에서 감광성수지층을 제거한 후 상기 P형 반도체자리에 P형 반도체를 증착하는 단계를 포함하는 것을 특징으로 하는 박막형 열전모듈의 제조방법.

청구항 3

제1항에 있어서,

상기 N형 반도체를 실장하는 단계는,

- (b-1) 상기 실리콘 기판의 하면에 감광성수지를 코팅하여 감광성수지층을 형성하는 단계
- (b-2) 상기 감광성수지층 상에 이웃하는 P형 반도체의 중간 위치가 천공된 마스크를 배열하고, 자외선을 조사하여 감광성수지층 중 자외선에 노출된 부분을 제거하는 단계
- (b-3) 제거된 감광성수지층을 통하여 노출된 실리콘 기판을 식각하여 N형 반도체자리를 형성하는 단계
- (b-4) 상기 N형 반도체자리에 절연층을 형성하는 단계
- (b-5) 상기 실리콘 기판의 하면에서 감광성수지층을 제거한 후 상기 N형 반도체자리에 N형 반도체를 증착하는 단계를 포함하는 것을 특징으로 하는 박막형 열전모듈의 제조방법.

청구항 4

제2항 또는 제3항에 있어서,

상기 P형 반도체자리를 형성하는 단계 및 N형 반도체자리를 형성하는 단계는 심도반응성이온에칭(Deep Reactive Ion Etching)법을 통하여 이루어지는 것을 특징으로 하는 박막형 열전모듈의 제조방법.

청구항 5

제2항 또는 제3항에 있어서,

상기 P형 반도체자리를 형성하는 단계 및 N형 반도체자리를 형성하는 단계는 웨트 에칭(Wet Etching)법을 통하여 이루어지는 것을 특징으로 하는 박막형 열전모듈의 제조방법.

청구항 6

제2항 또는 제3항에 있어서,

상기 P형 반도체자리를 형성하는 단계 및 N형 반도체자리를 형성하는 단계를 수행하기 전에 상기 절연층에 시드 레이어를 형성하는 단계를 더 수행하는 것을 특징으로 하는 박막형 열전모듈의 제조방법.

청구항 7

제2항 또는 제3항에 있어서,

상기 P형 반도체를 증착하는 단계 및 N형 반도체를 증착하는 단계는 전기도금법(electroplating)을 통하여 이루어지는 것을 특징으로 하는 박막형 열전모듈의 제조방법.

청구항 8

제2항 또는 제3항에 있어서,

상기 P형 반도체를 증착하는 단계 및 N형 반도체를 증착하는 단계는 MOCVD(metal organic chemical vapor deposition)법을 통하여 이루어지는 것을 특징으로 하는 박막형 열전모듈의 제조방법.

청구항 9

제1항에 있어서,

상기 전극을 형성하는 단계는

(c-1) 상기 실리콘 기판의 내부에 증착된 P형 반도체 및 N형 반도체가 상기 실리콘 기판의 표면에 드러나도록 상기 실리콘 기판의 상면 및 하면을 폴리싱하는 단계

(c-2) 마스크를 이용하여 상기 실리콘 기판의 상면에 P형 반도체와 N형 반도체가 쌍을 이루도록 노출시키고, 마스크로부터 노출된 부분에 P형 반도체와 N형 반도체를 연결하는 전극을 형성하는 단계

(c-3) 마스크를 이용하여 상기 실리콘 기판의 하면에 상면과 교대로 P형 반도체와 N형 반도체가 쌍을 이루도록 노출시키고 마스크로부터 노출된 부분에 P형 반도체와 N형 반도체를 연결하는 전극을 형성하여 P형 반도체와 N형 반도체가 전체적으로 직렬로 연결되도록 하는 단계

를 포함하는 것을 특징으로 하는 박막형 열전모듈의 제조방법.

청구항 10

제1항, 제2항, 제3항, 제9항 어느 한 항의 방법으로 제조된 박막형 열전모듈이 반도체모듈 사이에 삽입되는 것을 특징으로 하는 적층 반도체칩 패키지.

청구항 11

제10항에 있어서,

열 배출 통로로 사용되는 더미모듈이 더 삽입되는 것을 특징으로 하는 적층 반도체칩 패키지.

청구항 12

제11항에 있어서,

각 모듈간은 열 인터페이스 재료(thermal interface materials)를 사용하여 연결되는 것을 특징으로 하는 적층 반도체칩 패키지.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체용 웨이퍼를 이용하여 박막형 열전모듈을 제조하는 방법에 관한 것으로, 특히 적층 반도체칩 패키지(mutl-chip package)에 사용되는 실리콘 기반 반도체 칩들의 방열 문제를 해결하기 위한 박막형 열전모듈 제조방법에 관한 것이다.

배경 기술

[0002] 각종 반도체 칩의 고밀도 집적 배열로 인한 공간 활용의 극대화는 반도체 관련 기술분야에서 중요한 위치를 차지하고 있다. 이러한 고밀도 집적 배열은 이 기술분야에서 초기에는 주로 나노 공정의 개발로 인한 반도체 칩의 소형화를 통하여 주도되는 것이었다.

[0003] 한편, 반도체 칩의 적층 배열을 통하여 제한된 면적 안에서 고밀도 집적을 이루려는 기술이 대두되었고(multi-chip package), 상하로 적층된 반도체 칩 간에 홀을 형성하여 서로 연결되게 하는 기술(Through silicon via, TSV)이 개발되었다.

[0004] 이러한 반도체 칩의 적층기술에 있어서, 당면과제는 각 반도체 칩에서 발생하는 발열의 해결이다. 즉, 반도체 칩의 발열은 저전력 소모, 저항요소의 감소의 노력에도 불구하고 작동신호의 주파수 증가 등의 요인으로 인하여 항상 문제시되었다.

[0005] 특히 상기와 같이 다수의 층을 이루어 서로 가깝게 위치하는 각 반도체 칩에서 발생한 열은 적층된 층 사이에 축적되므로 반도체 칩의 성능저하나 파손의 문제를 가져오게 된다.

[0006] 상기한 발열 문제를 해결하기 위한 기술로 열전소자를 이용한 냉각기술이 있다.

[0007] 열전소자(thermoelectric element)는 원래 열과 전기의 상호작용으로 나타나는 각종 효과를 이용한 소자의 총칭으로 정의되는 것인데, 본 발명과 관련하여서는 전류에 의해 열의 흡수(또는 발생)가 생기는 현상인 펠티에효과를 이용한 소자인 펠티에소자를 한정하여 의미한다.

[0008] 펠티에효과를 이용한 열전소자를 구성하기 위하여는 전기전도 방식이 다른 비스무트 텔루륨 등의 소재로 만들어진 이중반도체를 상하 방향으로 수직되게 다수를 교대로 배열하고, 이웃하는 반도체들을 직렬이 되도록 전기 연결한 후 이에 직류를 공급하여 흡열, 발열 반응을 얻어낸다.

[0009] 이러한 열전소자는 전류 방향에 따라 흡열○발열의 전환이 가능하고, 전류량에 따라 흡열○발열량이 조절되므로, 용량이 적은 냉동기 또는 상온 부근의 정밀한 항온조 제작에 응용된다.

[0010] 따라서 적층 반도체칩 패키지에 열전소자기술의 적용을 생각해 볼 수 있고 도1에는 대한민국 특허등록 제10-0819852호에 개시된 기술에 따라 반도체 공정을 통해 제조된 박막형 열전모듈이 도시되어 있다.

[0011] 그러나 이 경우에는 실리콘 기판(10)에 절연층(1) 및 N형 반도체(또는 P형 반도체)(2)의 두께를 더한 만큼 열전 모듈의 두께가 두꺼워져 콤팩트화가 요구되는 적층 반도체칩 패키지에 적당하지 못하다는 문제가 있다.

[0012] 따라서 적층 반도체칩 패키지에서 상하로 적층되는 반도체 칩의 사이에 개재되는 것에 적합한 콤팩트한 구성으로 각 반도체 칩에서 발생된 열을 배출 가능하게 함으로써 반도체 칩의 성능저하나 파손을 방지할 수 있는 박막형 열전모듈의 제조방법이 필요하다.

발명의 내용

해결 하고자하는 과제

[0013] 본 발명의 목적은, 적층 반도체칩 패키지에 사용하기 적합한 콤팩트한 구성으로 각 반도체 칩에서 발생된 열을 배출 가능하게 함으로써 반도체 칩의 성능저하나 파손을 방지할 수 있는 박막형 열전모듈의 제조방법을 제공한다.

[0014] 본 발명의 또 다른 목적은 상기의 제조방법을 통해 제조된 박막형 열전모듈을 사용한 적층 반도체칩 패키지를 제공한다.

과제 해결수단

- [0015] 본 발명의 일 특징에 따른 박막형 열전모듈의 제조방법은, 반도체 공정을 이용하여 박막형 열전모듈을 제조하는 방법으로서, (a) 실리콘 기판의 상면을 통하여 상기 실리콘 기판 내부에 P형 반도체를 일정 간격으로 실장하는 단계, (b) 상기 실리콘 기판의 하면을 통하여 이웃하는 상기 P형 반도체 사이에 N형 반도체를 일정 간격으로 실장하는 단계, (c) 상기 실리콘 기판의 상, 하면에서 상기 P, N형 반도체를 노출시키고, 이웃하는 P,N형 반도체를 서로 통전 가능하게 연결하는 전극을 형성하는 단계를 수행하는 것을 특징으로 한다.
- [0016] 상기 박막형 열전모듈의 제조방법은, 상기 P형 반도체를 실장하는 단계가, (a-1) 상기 실리콘 기판의 상면에 감광성수지(Phtoresist)를 코팅하여 감광성수지층(15)을 형성하는 단계, (a-2) 상기 감광성수지층 상에 P형 반도체가 실장될 위치에 따라 천공된 마스크(mask)를 배열하고, 자외선을 조사하여 감광성수지층 중 자외선에 노출된 부분을 제거하는 단계, (a-3) 제거된 감광성수지층을 통하여 노출된 실리콘 기판을 식각하여 P형 반도체자리를 형성하는 단계, (a-4) 상기 P형 반도체자리에 절연층을 형성하는 단계, (a-5) 상기 실리콘 기판의 상면에서 감광성수지층을 제거한 후 상기 P형 반도체자리에 P형 반도체를 증착하는 단계를 포함할 수 있다.
- [0017] 상기 박막형 열전모듈의 제조방법은, 상기 N형 반도체를 실장하는 단계가, (b-1) 상기 실리콘 기판의 하면에 감광성수지를 코팅하여 감광성수지층을 형성하는 단계, (b-2) 상기 감광성수지층 상에 이웃하는 P형 반도체의 중간 위치가 천공된 마스크를 배열하고, 자외선을 조사하여 감광성수지층 중 자외선에 노출된 부분을 제거하는 단계, (b-3) 제거된 감광성수지층을 통하여 노출된 실리콘 기판을 식각하여 N형 반도체자리를 형성하는 단계, (b-4) 상기 N형 반도체자리에 절연층을 형성하는 단계, (b-5) 상기 실리콘 기판의 하면에서 감광성수지층을 제거한 후 상기 N형 반도체자리에 N형 반도체를 증착하는 단계를 포함할 수 있다.
- [0018] 상기 박막형 열전모듈의 제조방법은, 상기 P형 반도체자리를 형성하는 단계 및 N형 반도체자리를 형성하는 단계가 심도반응이온에칭(Deep Reactive Ion Eching)법을 통하여 이루어질 수 있다.
- [0019] 상기 박막형 열전모듈의 제조방법은, 상기 P형 반도체자리를 형성하는 단계 및 N형 반도체자리를 형성하는 단계가 웨트 에칭(Wet Etching)법을 통하여 이루어질 수 있다.
- [0020] 상기 박막형 열전모듈의 제조방법은, 상기 P형 반도체자리를 형성하는 단계 및 N형 반도체자리를 형성하는 단계를 수행하기 전에 시드레이어를 형성하는 단계를 더 수행할 수 있다.
- [0021] 상기 박막형 열전모듈의 제조방법은, 상기 P형 반도체를 증착하는 단계 및 N형 반도체를 증착하는 단계가 전기 도금법(electroplating)을 통하여 이루어질 수 있다.
- [0022] 상기 박막형 열전모듈의 제조방법은, 상기 P형 반도체를 증착하는 단계 및 N형 반도체를 증착하는 단계가 MOCVD(metal organic chemical vapor deposition)법을 통하여 이루어질 수 있다.
- [0023] 상기 박막형 열전모듈의 제조방법은, 상기 전극을 형성하는 단계가, (c-1) 상기 실리콘 기판의 내부에 증착된 P형 반도체 및 N형 반도체가 상기 실리콘 기판의 표면에 드러나도록 상기 실리콘 기판의 상면 및 하면을 폴리싱하는 단계, (c-2) 마스크를 이용하여 상기 실리콘 기판의 상면에 P형 반도체와 N형 반도체가 쌍을 이루도록 노출시키고, 마스크로부터 노출된 부분에 P형 반도체와 N형 반도체를 연결하는 전극을 형성하는 단계, (c-3) 마스크를 이용하여 상기 실리콘 기판의 하면에 상면과 교대로 P형 반도체와 N형 반도체가 쌍을 이루도록 노출시키고 마스크로부터 노출된 부분에 P형 반도체와 N형 반도체를 연결하는 전극을 형성하여 P형 반도체와 N형 반도체가 전체적으로 직렬로 연결되도록 하는 단계를 포함할 수 있다.
- [0024] 본 발명의 일 특징에 따른 적층 반도체칩 패키지는, 상기한 방법 중의 하나를 사용하여 제조된 박막형 열전모듈이 반도체모듈 사이에 삽입되는 것을 특징으로 한다.
- [0025] 상기 적층 반도체칩 패키지는, 열 배출 통로로 사용되는 더미모듈이 더 삽입될 수 있다.
- [0026] 상기 적층 반도체칩 패키지는, 각 모듈간이 열 인터페이스 재료(thermal interface materials)를 사용하여 연결될 수 있다.

효 과

- [0027] 본 발명의 박막형 열전모듈의 제조방법에 따르면, 적층 반도체칩 패키지에 사용하기 적합한 컴팩트한 구성으로 각 반도체 칩에서 발생한 열을 배출 가능하게 함으로써 반도체 칩의 성능저하나 파손을 방지할 수 있는 박막형 열전모듈 및 이를 사용한 적층 반도체칩 패키지를 제조할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0028] 상술한 본 발명의 특징 및 효과는 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이며, 그에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 출원에서 사용한 용어는 단지 특정한 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다.
- [0029] 이하, 본 발명의 바람직한 실시예를 첨부도면을 참조하여 상세히 설명한다.
- [0030] 본 발명은 π 형으로 접속되는 P형 반도체 패턴과 N형 반도체 패턴이 직렬로 연결된 박막형 열전모듈을 제조하는 방법에 관한 것으로서 도2 내지 도4는 본 발명의 실시예를 나타낸 순차적인 공정 단면도이다.
- [0031] 먼저 실리콘 기판의 상면을 통하여 실리콘 기판 내부에 P형 반도체를 실장하는 단계를 도2a 내지 도2h를 참고하여 상세하게 설명한다.
- [0032] 먼저 도2a에 도시되어 있는 바와 같이, 실리콘 기판(10)의 상면(11)에 감광성수지(Photoresist)를 코팅하여 감광성수지층(15)을 형성한다. 여기에서 실리콘 기판(10)은 예를 들면 550 μ m 두께의 실리콘 웨이퍼를 이용한다.
- [0033] 또한 감광성수지층(15)은 스핀 코팅(Spin coating) 방식으로 증착한 후 프리베이크(Prebake) 공정을 통해 형성할 수 있다.
- [0034] 다음으로 상기 감광성수지층(15) 상에 P형 반도체가 실장되는 위치가 천공되어 있는 마스크(16)를 배열하고 자외선(17)을 조사한 후 자외선(17)에 노출된 감광성수지층(15)을 제거한다.
- [0035] 이에 따라 실리콘 기판(10)에 있어서 P형 반도체가 실장되는 위치는 감광성수지층(15)이 제거되고 나머지 부분에만 감광성수지층(15)이 남게 되어 도2b의 상태가 된다.
- [0036] 다음으로 노출되어 있는 실리콘 기판(10)을 식각하여 P형반도체자리(20)를 형성한다. 상기 식각방법으로는 예를 들면 실리콘 기판(10)의 깊은 부분까지 식각이 가능한 심도반응성이온에칭(Deep Reactive Ion Etching) 기법을 사용한다.
- [0037] 이에 따라 실리콘 상면(11)에서 실리콘 내부로 P형반도체자리(20)가 일정한 간격으로 형성되어 도2c의 상태가 된다.
- [0038] 이 상태에서 기판상에 절연층(21)을 형성한다. 절연층(21)은 스퍼터링 등 저온 공정을 통해 형성되는 실리콘 산화막(SiO₂)을 사용할 수 있다. 이에 따라 제거되지 않고 남아있는 감광성수지층(15) 및 상기 P형반도체자리(20)에 절연층(21)이 형성되어 도2d의 상태가 된다.
- [0039] 다음으로 절연층(21) 위에 P형 반도체와 실리콘간의 확산을 방지하기 위하여 확산방지층(22)을 형성한다. 상기 확산방지층(22)은 예를 들면 타이나이트(TiN) 또는 탄탈륨(Ta)을 스퍼터링 공정을 사용하여 형성할 수 있다.
- [0040] 이에 따라 제거되지 않고 남아있는 감광성수지층(15) 및 상기 절연층(21)에 확산방지층(22)이 형성되어 도2e의 상태가 된다.
- [0041] 상기의 절연층(21)과 확산방지층(22)은 어닐링(annealing) 공정시에 증착된 P형 반도체와 실리콘 기판(10)이 융착되는 것을 방지하는 디퓨전배리어(diffusion barrier)로서의 역할을 한다.
- [0042] 다음으로 시드레이어(seed layer)(23)를 증착한다. 시드레이어(23)로는 예를 들면 구리(Cu)나 금(Au)을 사용한다. 이에 따라 상기의 확산방지층(22)에 시드레이어(23)가 적층 형성되어 도2f의 상태가 된다.
- [0043] 상기의 시드레이어(23)는 후술하는 P형 반도체를 증착하는 공정에서 P형 반도체가 P형반도체자리(20)에 원활하고 빠르게 증착할 수 있도록 보조하는 역할을 한다.
- [0044] 다음으로 감광성수지층(15)을 제거한다. 이 때 감광성수지층(15)을 제거하는 경우 상기 감광성수지층(15) 위에 적층되어 있던 절연층(21), 확산방지층(22), 시드레이어(23)도 함께 제거되어 도2g의 상태가 된다.

- [0045] 이 때 P형반도체자리(20)의 폭과 깊이의 비율(aspect ratio)은 1:10 이하가 되도록 하고 바람직하게는 1:5 이하가 되도록 한다. 이는 P형 반도체가 P형반도체자리의 깊은 부분까지 안정적으로 형성되게 하기 위함이다.
- [0046] 다음으로 P형반도체자리(20)에 P형 반도체(25)를 증착한다. 증착방법은 예를 들면 스퍼터링(sputtering)이나 이베퍼레이팅(evaporating)을 사용할 수도 있으나 깊은 부분까지 안정적으로 증착이 가능한 전기기도금법(electroplating) 또는 MOCVD법(metal organic chemical vapor deposition)을 사용하는 것이 바람직하다. MOCVD법을 사용하는 경우에는 상기한 시드레이어(23)를 증착하는 과정은 생략이 가능하다.
- [0047] 이에 따라 P형 반도체(25)가 P형반도체자리(20)에 적층됨과 아울러 실리콘 기판(10)의 상면(11)으로 적층부분이 볼록하게 튀어나온 도2h의 상태가 된다.
- [0048] 다음으로 증착된 상기 P형 반도체(25)의 볼록하게 돌출된 부분을 제거하여 실리콘 기판(10)의 상면(11)과 대략 일치하도록 평탄하게 한다. 상기 평탄화 공정은 예를 들면 CMP(Chemical Mechanical Polishing)에 의하여 수행되고 이에 따라 도2i의 상태가 된다.
- [0049] 이상의 공정에 따라 실리콘 기판(10)의 상면(11)을 통하여 실리콘 기판(10) 내부에 P형 반도체(25)를 실장하는 단계가 종료된다.
- [0050] 다음으로 실리콘 기판(10)의 하면(12)을 통하여 실리콘 기판(10) 내부에 N형 반도체를 실장하는 단계를 도3a 내지 도3h를 참조하여 상세하게 설명한다. 전체적인 공정은 P형 반도체(25)를 실장하는 경우와 동일하다.
- [0051] 먼저 도3a에 도시되어 있는 바와 같이, 실리콘 기판(10)의 상면(11)을 아래로 하고 실리콘 기판(10)의 하면(12)을 위로 위치시킨 다음 실리콘 기판(10)의 하면(12)에 감광성수지(Photoresist)를 코팅하여 감광성수지층(15)을 형성한다.
- [0052] 상면(11)과 마찬가지로 감광성수지층(15)은 스핀 코팅(Spin coating) 방식으로 증착한 후 프리베이크(Prebake) 공정을 통해 형성할 수 있다.
- [0053] 다음으로 상기 감광성수지층(15) 상에 N형 반도체가 실장되는 위치가 천공되어 있는 마스크(16)를 배열하고 자외선(17)을 조사한 후 자외선(17)에 노출된 감광성수지층(15)을 제거한다. 이 때 N형 반도체가 실장되는 위치는 P형 반도체(25)가 실장된 사이부분이다.
- [0054] 이에 따라 실리콘 기판(10)에서 N형 반도체가 실장될 부분은 감광성수지층(15)이 제거되고 나머지 부분에만 감광성수지층(15)이 남게 되어 도3b의 상태가 된다.
- [0055] 다음으로 노출되어 있는 실리콘 기판(10)을 식각하여 N형반도체자리(30)를 형성한다. 상기 식각방법으로는 예를 들면 실리콘 기판(10)의 깊은 부분까지 식각이 가능한 심도반응성이온에칭(Deep Reactive Ion Etching) 기법을 사용한다.
- [0056] 이에 따라 실리콘 기판(10) 하면(12)에서 실리콘 기판(10) 내부로 N형반도체자리(30)가 P형반도체자리(20) 사이에 일정한 간격으로 형성되어 도3c의 상태가 된다.
- [0057] 이 상태에서 기판상에 절연층(31)을 형성한다. 절연층(31)은 스퍼터링 등 저온 공정을 통해 형성되는 실리콘 산화막(SiO₂)을 사용할 수 있다. 이에 따라 제거되지 않고 남아있는 감광성수지층(15) 및 상기 N형반도체자리(30)에 절연층(31)이 형성되어 도3d의 상태가 된다.
- [0058] 다음으로 절연층(31) 위에 후술하는 N형 반도체와 실리콘간의 확산을 방지하기 위하여 확산방지층(32)을 형성한다. 상기 확산방지층(32)은 예를 들면 타이타이트(TiN) 또는 탄탈륨(Ta)을 스퍼터링 공정을 사용하여 형성할 수 있다.
- [0059] 이에 따라 제거되지 않고 남아있는 감광성수지층(15) 및 상기 절연층(31)에 확산방지층(32)이 형성되어 도3e의 상태가 된다.
- [0060] 상기의 절연층(31)과 확산방지층(32)은 어닐링(annealing) 공정시에 증착된 N형 반도체와 실리콘 기판(10)이 융착되는 것을 방지하는 디퓨전배리어(diffusion barrier)로서의 역할을 한다.
- [0061] 다음으로 시드레이어(seed layer)(33)를 증착한다. 시드레이어(33)로는 예를 들면 구리(Cu)나 금(Au)을 사용한다. 이에 따라 상기의 확산방지층(32)에 시드레이어(33)가 적층 형성되어 도3f의 상태가 된다.
- [0062] 상기의 시드레이어(33)는 후술하는 N형 반도체를 증착하는 공정에서 N형 반도체가 N형반도체자리(30)에 원활하

고 빠르게 증착될 수 있도록 보조하는 역할을 한다.

- [0063] 다음으로 감광성수지층(15)을 제거한다. 이 때 감광성수지층(15)을 제거하는 경우 상기 감광성수지층(15) 위에 적층되어 있던 절연층(31), 확산방지층(32), 시드레이어(33)도 함께 제거되어 도3g의 상태가 된다.
- [0064] 이 때 N형 반도체의 안정적인 형성을 위하여 N형반도체자리(30)의 폭과 깊이의 비율(aspect ratio)은 1:10 이하가 되도록 하고 바람직하게는 1:5 이하가 되도록 한다.
- [0065] 다음으로 N형반도체자리(30)에 N형 반도체(35)를 증착한다. 증착방법은 스퍼터링(sputtering)이나 이베퍼레이팅(evaporating)을 사용할 수도 있으나 깊은 부분까지 안정적으로 증착이 가능한 전기기도금법(electroplating) 또는 MOCVD법(metal organic chemical vapor deposition)을 사용하는 것이 바람직하다. MOCVD법을 사용하는 경우에는 상기한 시드레이어(33)를 증착하는 과정은 생략이 가능하다.
- [0066] 이에 따라 N형 반도체(35)가 N형반도체자리(30)에 적층됨과 아울러 실리콘 기판(10)의 하면(12)으로 N형 반도체(35)의 적층부분의 일부가 볼록하게 튀어나온 도3h의 상태가 된다.
- [0067] 다음으로 증착된 상기 N형 반도체(35)의 볼록하게 돌출된 부분을 제거하여 실리콘 기판(10)의 하면(12)과 대략 일치하도록 평탄하게 한다. 상기 평탄화 공정은 예를 들면CMP(Chemical Mechanical Polishing)에 의하여 수행되고 이에 따라 도3i의 상태가 된다. 이 때 P형 반도체(25)의 일부도 폴리싱된다.
- [0068] 이상의 공정에 따라 실리콘 기판(10)의 하면(12)을 통하여 실리콘 기판(10) 내부에 N형 반도체(35)를 실장하는 단계가 종료하게 된다.
- [0069] 다음으로 P형 반도체(25)와 N형 반도체(35)가 실장된 상기 실리콘 기판(10)에 전극을 형성하는 방법에 대해 도 4a 내지 도4e를 참조하여 상세하게 설명한다.
- [0070] 먼저 상기 P형 반도체(25)와 N형 반도체(35)가 실장된 상기 실리콘 기판(10)의 상면(11)과 하면(12)을 평탄하게 하여 상기 실리콘 기판(10)의 내부에 증착된 P형 반도체(25) 및 N형 반도체(35)가 상기 실리콘 기판(10)의 양쪽 표면에 드러나도록 한다.
- [0071] 상기 평탄화 공정은 예를 들면 CMP(Chemical Mechanical Polishing)에 의하여 수행되고 이에 따라 P형 반도체(25)와 N형 반도체(35)의 열전박막 일부가 폴리싱되어 도4a의 상태가 된다.
- [0072] 다음으로 도4b와 같이 하드 마스크(hard mask)(18)를 사용하여 상기 실리콘 기판(10)의 상면(11)에 P형 반도체(25)와 N형 반도체(35)가 쌍을 이루도록 노출시키고, 도4c와 같이 하드 마스크(18)로부터 노출된 부분에 P형 반도체(25)와 N형 반도체(35)를 연결하는 전극층(40)을 형성한다.
- [0073] 이 때 전극층(40)의 형성은 예를 들면 스퍼터링(sputtering)이나 이베퍼레이팅(evaporating)에 의하여 수행하고 전극층(40)은 열전도성 및 전기 전도성이 우수한 금(Au), 백금(Pt), 구리(Cu), 알루미늄(Al)을 이용함이 바람직하다.
- [0074] 다음으로 도4d와 같이 하드 마스크(18)를 사용하여 상기 실리콘 기판(10)의 하면(12)에 상면(11)과 교대로 P형 반도체(25)와 N형 반도체(35)가 쌍을 이루도록 노출시키고, 도4e와 같이 하드 마스크(18)로부터 노출된 부분에 P형 반도체(25)와 N형 반도체(35)를 연결하는 전극층(40)을 형성하여 P형 반도체(25)와 N형 반도체(35)가 전체적으로 직렬로 연결되도록 한다.
- [0075] 이 때 전극층(40)의 형성은 예를 들면 스퍼터링(sputtering)이나 이베퍼레이팅(evaporating)에 의해 수행하고 전극층(40)은 열전도성 및 전기 전도성이 우수한 금(Au), 백금(Pt), 구리(Cu), 알루미늄(Al)을 이용함이 바람직하다.
- [0076] 상기와 같은 과정을 수행하여 본 발명의 일 실시예에 따른 박막형 열전모듈이 완성된다. 도4e에는 완성된 박막형 열전모듈이 도시되어 있다.
- [0077] 상기의 설명에서는 P형 반도체(25)를 증착한 후에 N형 반도체(35)를 증착하는 것으로 설명하였으나 상기의 순서에 구속되는 것은 아니고 N형 반도체(35)를 먼저 증착한 후 P형 반도체(25)를 증착하여도 무방하다.
- [0078] 또한 P형 반도체(25) 증착 후 및 N형 반도체(35) 증착 후에 평탄화공정을 수행하는 것으로 설명하였으나 이를 생략해도 무방하다.
- [0079] 또한 상기의 설명에서는 P형반도체자리와 N형반도체자리를 형성하는 식각방법으로서 심도이온성이온에칭법을 예

로 들었으나 웨트에칭(Wet Eching)법을 사용할 수도 있다.

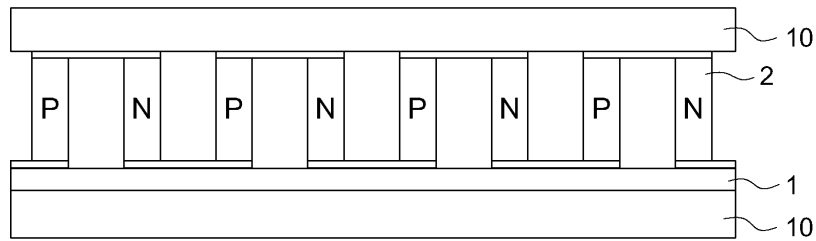
- [0080] 웨트에칭법을 사용할 경우 P형반도체자리와 N형반도체자리를 사다리꼴로 형성하는 것이 가능하므로 P형 반도체와 N형 반도체를 증착할 때 깊은 부분까지 더 안정적으로 증착이 가능하다. 도5에 상기 웨트에칭법을 사용한 박막형 열전모듈이 도시되어 있다.
- [0081] 다음으로 본 발명의 일 실시예에 따라 제조된 박막형 열전모듈을 사용한 적층 반도체칩 패키지의 작동관계에 대하여 설명한다.
- [0082] 도6은 본 발명의 일 실시예에 따른 열전모듈을 사용한 적층 반도체칩 패키지를 나타내는 단면도이다.
- [0083] 도6을 참조하면, 상기 적층 반도체칩 패키지(50)는 위로부터 제1반도체모듈(51), 제1열전모듈(52), 더미모듈(53), 제2열전모듈(54), 제2반도체모듈(55)이 적층되어 있다. 더미모듈은 열전도도가 좋은 물질인 구리(Cu) 또는 백금(Pt) 박막으로 형성될 수 있다.
- [0084] 적층 반도체칩 패키지(50)에 전압이 인가되면 열전모듈(52,54)에 전류가 흐르게 되고 펠티에 효과에 의해 열전모듈(52,54)의 일측에서는 발열이 타측에서는 흡열이 이루어진다.
- [0085] 상기의 적층 반도체칩 패키지(50)에서 상부에 적층된 제1열전모듈(52)은 상측이 흡열부가 되고 하측이 발열부가 되도록 전극을 연결한다. 흡열부와 발열부는 전극의 연결에 따라 달라질 수 있으므로 이에 맞도록 전극을 연결하도록 한다.
- [0086] 열의 이동은 전자나 정공의 이동방향과 같으므로 제1열전모듈(52)에 있어서 P형 반도체에는 (+)극을 연결하고 N형 반도체에는 (-)극을 연결하면 제1열전모듈(52)은 상측이 흡열부가 되고 하측이 발열부가 된다.
- [0087] 상기와 같이 구성된 경우 제1열전모듈(52)의 흡열부에서는 제1반도체모듈(51)에 실장된 칩(56)에서 발생하는 열을 구리로 이루어진 포스트(post)(57)을 통하여 흡수하여 발열부로 전달하고 전달된 열은 더미모듈(53)을 통해 적층 반도체칩 패키지(50)의 외부로 배출된다.
- [0088] 한편 하부에 적층된 제2열전모듈(54)은 상측이 발열부가 되고 하측이 흡열부가 되도록 전극을 연결한다. 연결되는 전극은 제1열전모듈(52)과 반대가 되어 P형 반도체에는 (-)극이 N형 반도체에는 (+)극이 연결되게 한다.
- [0089] 제2박막형 열전 모듈의 흡열부에서는 제2반도체모듈(55)에 실장된 칩(56)에서 발생하는 열을 구리로 이루어진 포스트(57)를 통하여 흡수하여 발열부로 전달하고 전달된 열은 더미모듈(53)을 통해 적층 반도체칩 패키지(50)의 외부로 배출된다.
- [0090] 또한 상기에서 각 모듈간의 연결 즉 반도체 모듈과 열전 모듈, 열전 모듈과 더미모듈간의 연결은 열전도성과 접합력이 좋은 열 인터페이스 재료(thermal interface materials)를 사용하여 연결할 수 있다. 상기의 열 인터페이스 재료로는 예를 들면 열 패드(thermal pad)나 열 그리스(thermal grease) 등을 사용할 수 있다.
- [0091] 이에 따라 각 모듈간의 열전도가 더욱 원활하게 되어 열손실을 줄임과 아울러 각 모듈간의 견고한 접합이 가능하여 성능이 우수한 적층 반도체칩 패키지를 생산할 수 있다.
- [0092] 이렇게 하여 콤팩트한 구성으로 적층 반도체칩 패키지(50)의 각 반도체 칩(56)에서 발생된 열을 배출을 효율적으로 배출하는 것이 가능하다.
- [0093] 상기에서 본 발명의 예시로 두 개의 반도체 모듈이 적층된 적층 반도체칩 패키지를 예로 들었지만, 본 발명은 상술한 설명에 따라 더 많은 반도체 모듈이 적층된 적층 반도체칩 패키지의 효율적인 방열을 위하여 사용 될 수 있다
- [0094] 또한, 상기에 설명한 예에서는 본 발명의 일 실시예에 따라 제조된 박막형 열전모듈이 적층 반도체칩 패키지에 사용되는 경우에 대하여 설명하였지만 이에 한정되는 것은 아니고 소형 LED 기판 등 일반적인 반도체 회로 기판에도 사용이 가능함은 자명하다고 할 것이다.
- [0095] 앞서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예들을 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

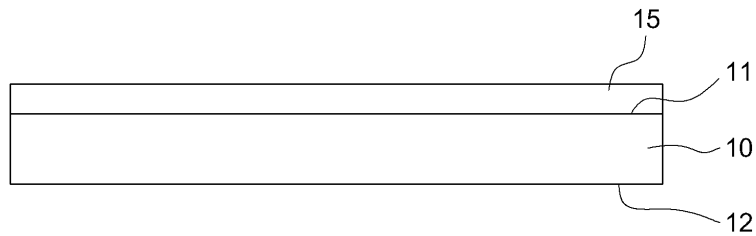
- [0096] 도1은 일반적인 박막형 열전모듈의 단면도
- [0097] 도2a 내지 도2i는 본 발명의 일 실시예에 따른 박막형 열전모듈의 P형 반도체를 실장하는 공정을 나타내는 단면도
- [0098] 도3a 내지 도3i는 본 발명의 일 실시예에 따른 박막형 열전모듈의 N형 반도체를 실장하는 공정을 나타내는 단면도
- [0099] 도4a 내지 도4e는 본 발명의 일 실시예에 따른 박막형 열전모듈의 전극을 형성하는 공정을 나타내는 단면도
- [0100] 도5a는 웨트에칭법을 사용하여 P형 반도체와 N형 반도체를 실장하는 공정이 종료된 후의 박막형 열전모듈을 나타내는 단면도, 도5b는 웨트에칭법을 사용하여 제조된 박막형 열전모듈을 나타내는 단면도
- [0101] 도6은 본 발명의 일 실시예에 따른 열전모듈을 사용한 적층 반도체칩 패키지를 나타내는 단면도
- [0102] <도면의 주요부분에 대한 부호의 설명>
- [0103] 10 : 실리콘 기판 21, 31 : 절연층
- [0104] 22, 32 : 확산방지층 23, 33 : 시드레이어
- [0105] 25 : P형 반도체 35 : N형 반도체
- [0106] 50 : 적층 반도체칩 패키지

도면

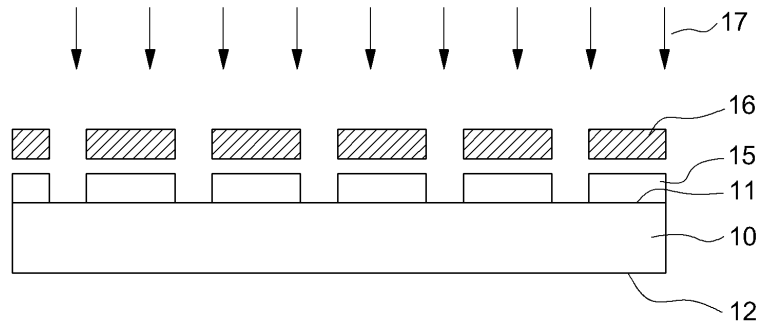
도면1



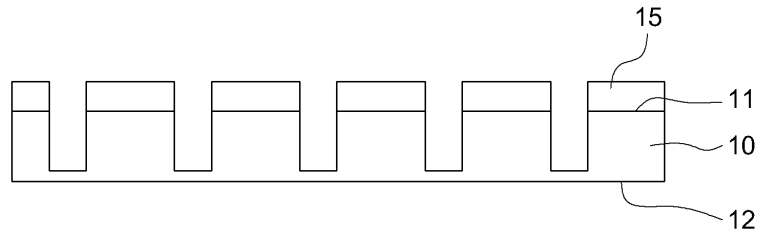
도면2a



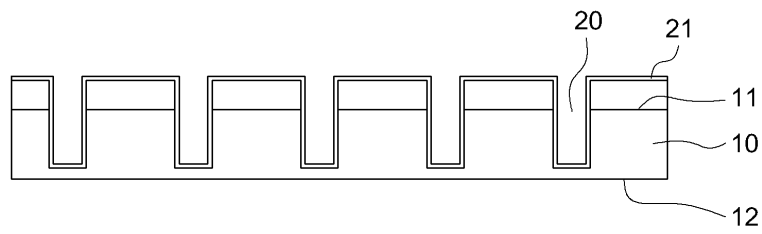
도면2b



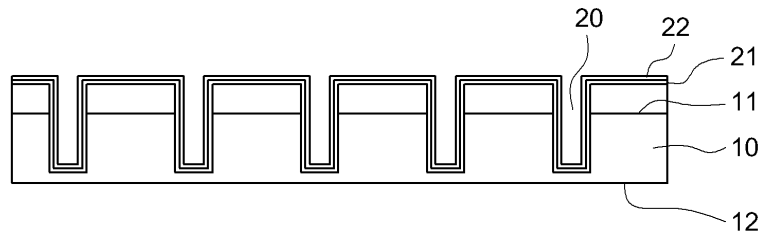
도면2c



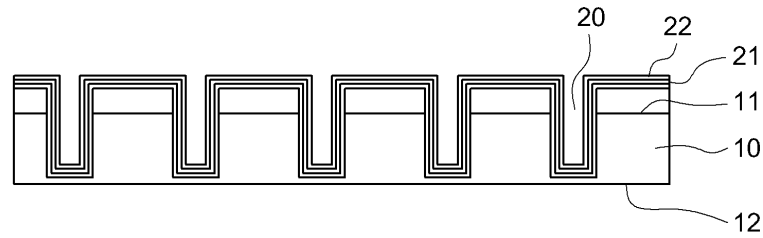
도면2d



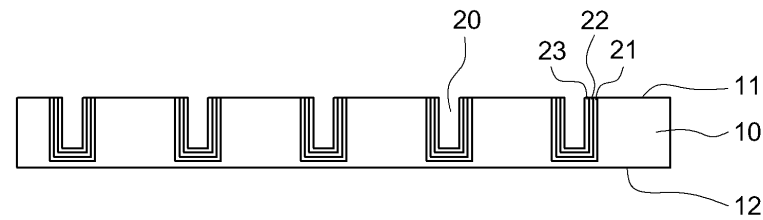
도면2e



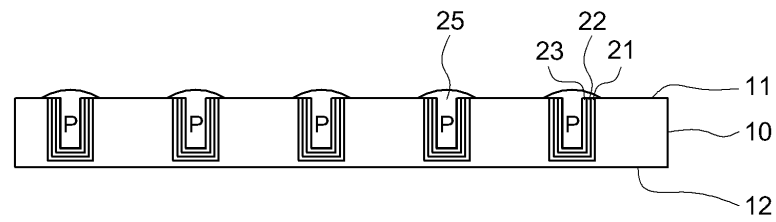
도면2f



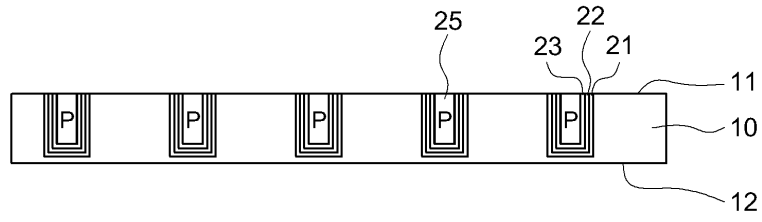
도면2g



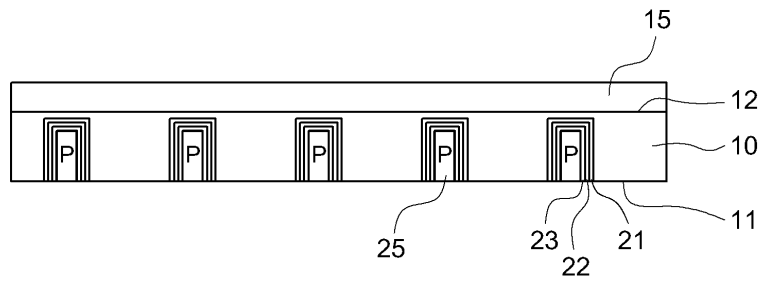
도면2h



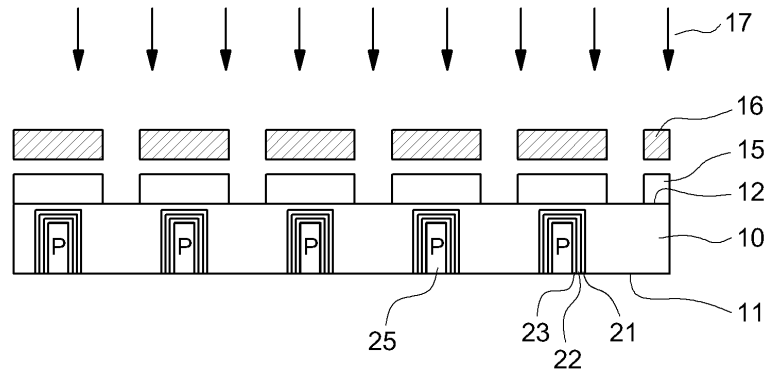
도면2i



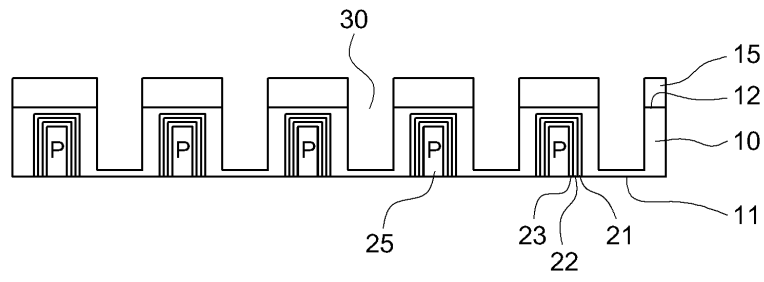
도면3a



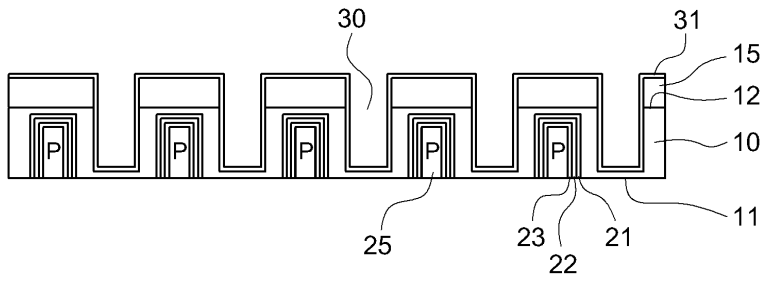
도면3b



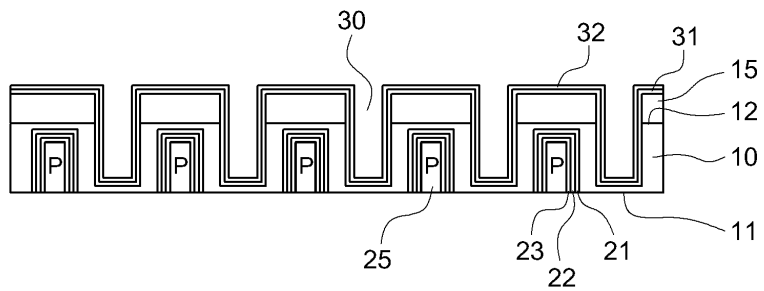
도면3c



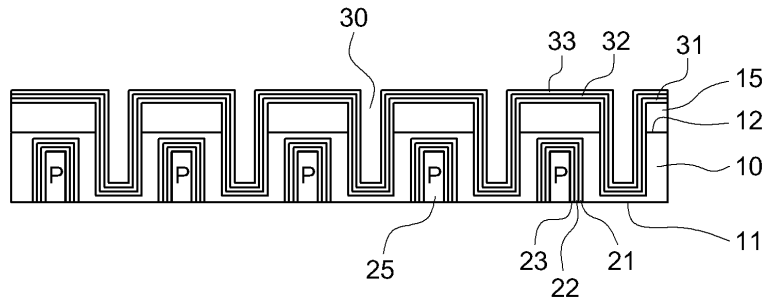
도면3d



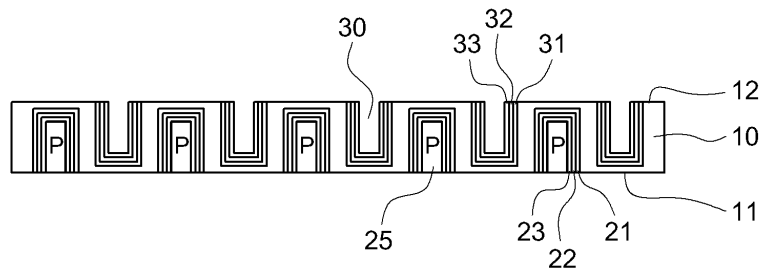
도면3e



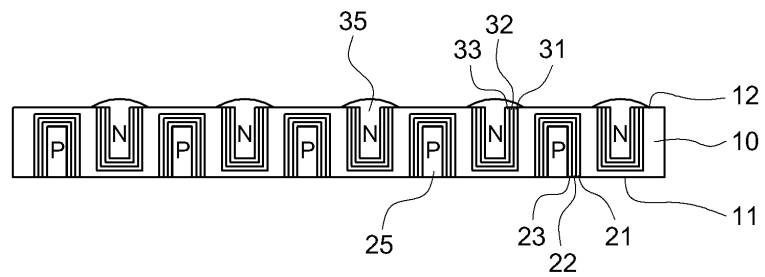
도면3f



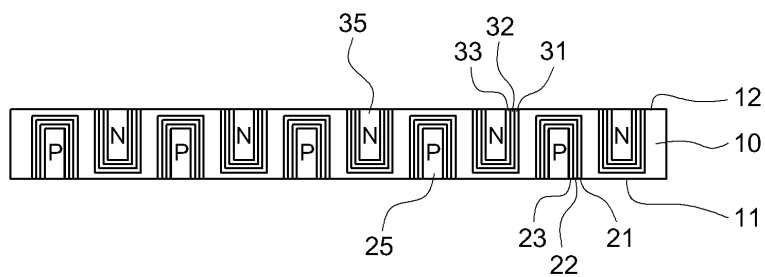
도면3g



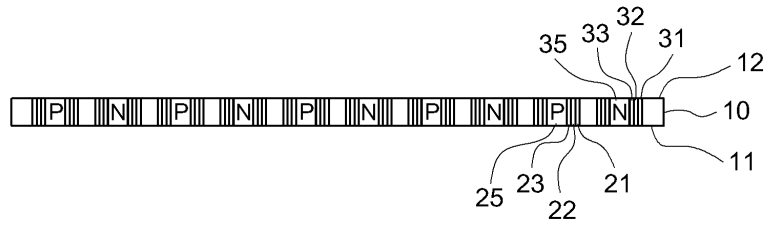
도면3h



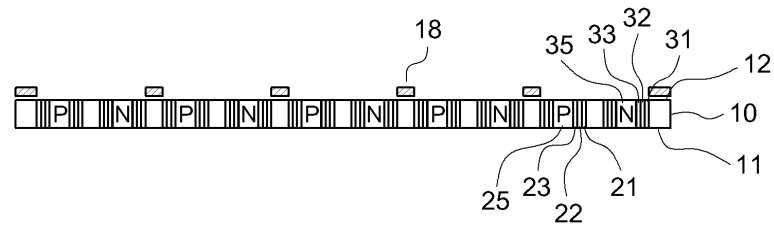
도면3i



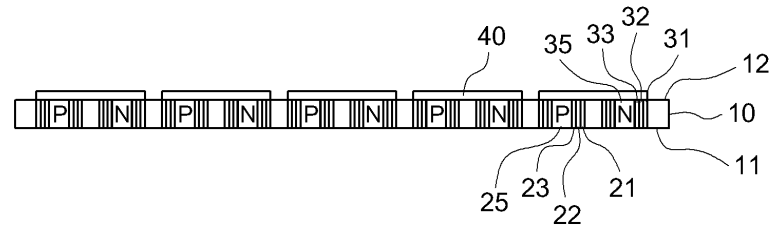
도면4a



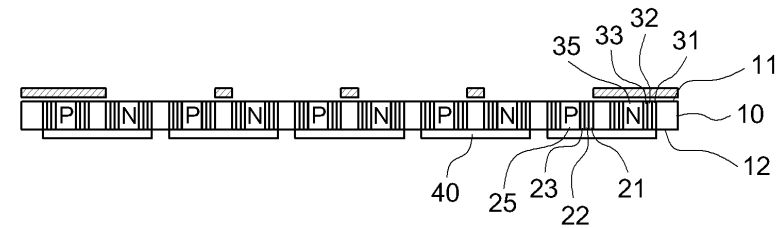
도면4b



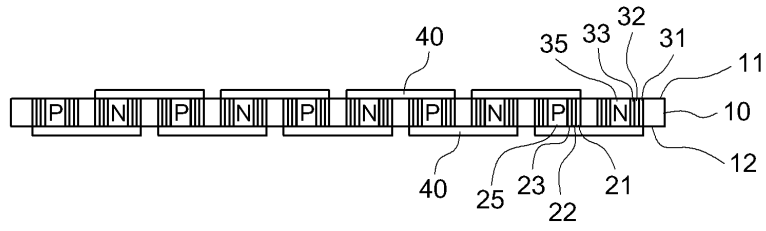
도면4c



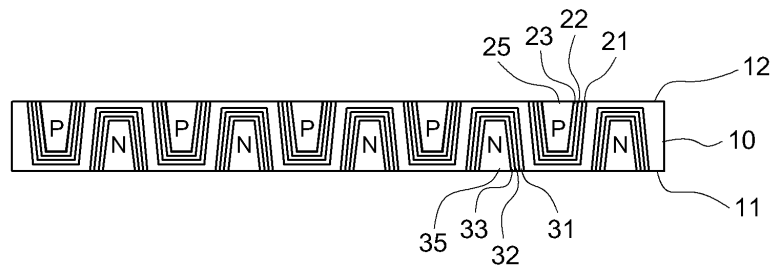
도면4d



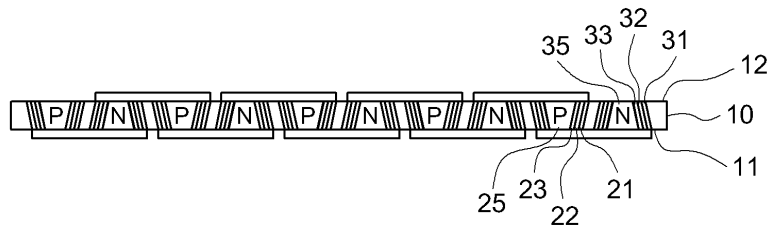
도면4e



도면5a



도면5b



도면6

