



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년07월07일  
(11) 등록번호 10-1047478  
(24) 등록일자 2011년07월01일

(51) Int. Cl.

H01L 35/02 (2006.01)

(21) 출원번호 10-2011-0011002

(22) 출원일자 2011년02월08일

심사청구일자 2011년02월08일

(56) 선행기술조사문헌

KR100663117 B1

JP10079532 A\*

US6557354 B

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

한국기계연구원

대전 유성구 장동 171번지

(72) 발명자

현승민

대전광역시 유성구 지족동 반석마을아파트 110동 904호

이학주

대전광역시 서구 만년동 상아아파트 102-807

(뒷면에 계속)

(74) 대리인

특허법인다나

전체 청구항 수 : 총 5 항

심사관 : 한재균

(54) 열전모듈 제조방법 및 이를 이용하여 제조한 열전모듈

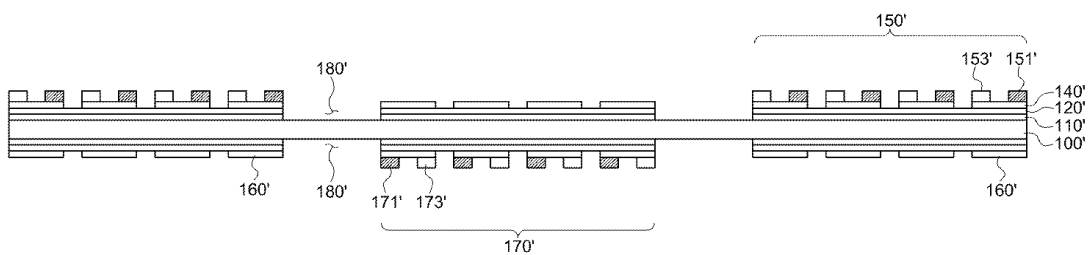
(57) 요약

본 발명은 열전모듈 제조방법 및 이를 이용하여 제조한 열전모듈에 관한 것으로서, 본 발명의 실시예 1에 따른 열전모듈 제조방법은 기판의 상면에 복수의 상부전극을 형성하는 단계와, 상기 복수의 상부전극의 상면에 복수의 P형 및 N형 열전반도체를 구비한 제1열전모듈을 형성하는 단계와, 상기 제1열전모듈이 형성된 기판을 복수개 적층하는 단계를 포함하는 것을 그 구성상의 특징으로 한다.

또한, 본 발명의 실시예 2에 따른 열전모듈 제조방법은 복수의 P형 및 N형 열전반도체를 구비한 제2열전모듈을 가요성 기판의 상부에 소정간격 이격되게 복수개 형성하는 단계와, 복수의 P형 및 N형 열전반도체를 구비한 제3열전모듈을 상기 제2열전모듈과 교호되게 상기 가요성 기판의 하부에 소정간격 이격되게 복수개 형성하는 단계와, 상기 가요성 기판을 접어 상기 제2열전모듈과 제3열전모듈을 교대로 적층하는 단계를 포함하는 것을 그 구성상의 특징으로 한다.

본 발명에서 제안하고 있는 열전모듈 제조방법 및 이를 이용하여 제조한 열전모듈에 따르면, 용이하게 원하는 두께의 열전모듈을 제조할 수 있다.

대표도



(72) 발명자  
**전성재**  
충청북도 청원군 강외면 만수리 275-16

**송준엽**  
대전광역시 서구 둔산동 크로바아파트 104동 507호

이 발명을 지원한 국가연구개발사업  
과제고유번호 OD0370  
부처명 지식경제부  
연구관리전문기관 산업기술연구회  
연구사업명 산업기술연구회-협동연구사업  
연구과제명 차세대 반도체 MCP 핵심기술 개발  
기여율 1/1  
주관기관 한국기계연구원  
연구기간 2010.03.01 ~ 2011.02.28

---

**특허청구의 범위**

**청구항 1**

삭제

**청구항 2**

삭제

**청구항 3**

복수의 P형 및 N형 열전반도체를 구비한 제2열전모듈을 가요성 기관의 상부에 소정간격 이격되게 복수개 형성하는 단계;

복수의 P형 및 N형 열전반도체를 구비한 제3열전모듈을 상기 제2열전모듈과 교호되게 상기 가요성 기관의 하부에 소정간격 이격되게 복수개 형성하는 단계; 및

상기 가요성 기관을 접어 상기 제2열전모듈과 제3열전모듈을 교대로 적층하는 단계를 포함하는 열전모듈 제조방법.

**청구항 4**

청구항 3에 있어서,

상기 제2열전모듈을 형성하는 단계는,

상기 가요성 기관의 상면에 증착한 복수의 상부전극 각각에 P형 및 N형 열전반도체가 쌍을 이루도록 증착하는 것을 특징으로 하는 열전모듈 제조방법.

**청구항 5**

청구항 3에 있어서,

상기 제3열전모듈을 형성하는 단계는,

상기 가요성 기관의 하면에 증착한 복수의 하부전극의 각각에 P형 및 N형 열전반도체가 쌍을 이루도록 증착하는 것을 특징으로 하는 열전모듈 제조방법.

**청구항 6**

청구항 3에 있어서,

상기 제2열전모듈과 제3열전모듈을 교대로 적층하는 단계는,

상기 가요성 기관의 상부 및 하부에 증착한 상부 및 하부전극에 의해 통전되게 직렬로 복수의 P형 및 N형 열전반도체를 연결하고,

상기 제2열전모듈 및 제3열전모듈에 구비된 P형 및 N형 열전반도체를 동종의 열전반도체끼리 동일선상에 위치시키는 것을 특징으로 하는 열전모듈 제조방법.

**청구항 7**

삭제

**청구항 8**

청구항 3 내지 6 중 어느 한 항의 방법으로 제조되는 열전모듈.

**명세서**

**기술분야**

[0001] 본 발명은 열전모듈 제조방법 및 이를 이용하여 제조한 열전모듈에 관한 것으로서, 보다 상세하게는 최적 효율의 두께를 갖는 열전모듈 제조방법 및 이를 이용하여 제조한 열전모듈에 관한 것이다.

**배경기술**

[0002] 열전모듈(thermoelectric module)은 열과 전기의 상호작용으로 나타나는 각종 효과를 이용한 소자의 총칭으로 정의되는 것인데, 본 발명과 관련하여서는 전류에 의해 열의 흡수(또는 발생)가 생기는 현상인 펠티에 효과를 이용한 소자인 펠티에소자를 주로 의미하며, 필요에 따라서는 열전소자 양단의 온도 차에 의해 기전력이 발생하는 현상인 제백 효과를 이용하는 소자를 포함할 수도 있다.

[0003] 펠티에 효과를 이용한 열전모듈을 구성하기 위하여는 전기전도 방식이 다른 비스무트, 텔루륨 등의 소재로 만들어진 이종반도체를 교대로 배열하고, 이웃하는 이종반도체들을 직렬로 전기연결한다. 이렇게 구성된 열전모듈에 직류를 공급하면 양단에서 각각 흡열 및 발열 반응을 얻을 수 있다.

[0004] 이러한 열전모듈은 전류 방향에 따라 양단에서 흡열, 발열의 전환이 가능하고, 전류량에 따라 흡열량 및 발열량이 조절되므로, 용량이 적은 냉동기 또는 상온 부근의 정밀한 항온조 제작에 응용된다.

[0005] 한편, 각종 반도체칩의 고밀도 집적 배열로 인한 공간 활용의 극대화는 반도체 관련 기술분야에서 중요한 위치를 차지하고 있다. 이러한 고밀도 집적 배열은 이 기술분야에서 초기에는 주로 나노 공정의 개발로 인한 반도체칩의 소형화를 통하여 주도되는 것이었으나, 현재는 반도체 칩의 적층 배열을 통하여 제한된 면적 안에서 고밀도 집적을 이루려는 기술(multi-chip package)이 대두되고 있다.

[0006] 이러한 반도체칩의 적층기술에 있어서, 당면과제는 각 반도체칩에서 발생하는 발열의 해결이다. 즉, 반도체칩의 발열은 저전력 소모, 저항요소의 감소의 노력에도 불구하고 작동신호의 주파수 증가 등의 요인으로 인하여 항상 문제시되었다.

[0007] 특히 상기와 같이 다수의 층을 이루어 서로 가깝게 위치하는 각 반도체 칩에서 발생한 열은 적층된 층 사이에 축적되므로 반도체 칩의 성능저하나 파손의 문제를 가져오게 된다.

[0008] 상기한 발열 문제를 해결하기 위한 기술로 박막형태의 열전반도체를 구비한 열전모듈을 이용한 냉각기술이 있다.

[0009] 박막 형태의 열전 모듈에 구비되는 열전반도체는 증착에 의해 형성되는데, 현재까지의 기술로는 10 마이크로미터( $\mu\text{m}$ )를 넘어 증착 높이가 점점 높아질수록 조성유지 및 에칭공정에 어려움이 있으며 증착 시간이 과도하게 소요되므로, 통상 10 마이크로미터( $\mu\text{m}$ )의 이내로 높이를 제한하여 증착하게 된다.

[0010] 그런데 경우에 따라서는 반도체칩이 고밀도로 집적배열된 부품 등에서 냉각용으로 사용되는 열전모듈이 최적 냉각효율을 가지기 위하여는 사용되는 열전반도체의 높이가 수십 마이크로미터( $\mu\text{m}$ ) 내지 수백 마이크로미터( $\mu\text{m}$ )로 형성되어야하는 경우가 발생한다.

[0011] 이 경우 상기한 박막 형태의 열전 모듈은 그대로 사용하기 어려우며, 벌크 형태의 열전모듈의 경우에도 모듈제조상의 난점 때문에 열전반도체를 일반적으로 1mm 이상의 높이로 형성하게 되므로 마찬가지로 사용하기 어려운 문제가 있다.

[0012] 이러한 이유로 반도체칩이 고밀도로 집적배열된 부품 등에서 냉각 최적효율을 발휘할 수 있는 수십 마이크로미

터 내지 수백 마이크로미터의 높이를 갖는 열전반도체를 열전모듈에 용이하게 형성할 수 있는 기술에 대한 필요성이 대두되고 있다.

## 발명의 내용

### 해결하려는 과제

[0013] 본 발명은 반도체칩이 고밀도로 집적배열된 부품 등에서 볼 수 있는 비교적 미소한 공간에서 사용되는 열전모듈이 최적 효율을 발휘할 수 있도록 최적 높이로 열전반도체를 제조할 수 있는 열전모듈 제조방법 및 이를 이용하여 제조한 열전모듈을 제공한다.

### 과제의 해결 수단

- [0014] 본 발명의 실시예 1에 따른 열전모듈 제조방법은,
- [0015] 기관의 상면에 복수의 상부전극을 형성하는 단계와, 상기 복수의 상부전극의 상면에 복수의 P형 및 N형 열전반도체를 구비한 제1열전모듈을 형성하는 단계와, 상기 제1열전모듈이 형성된 기관을 복수개 적층하는 단계를 포함하는 것을 그 구성상의 특징으로 한다.
- [0016] 또한, 상기 기관을 복수개 적층하는 단계는,
- [0017] 상기 기관의 하면에 형성한 복수의 하부전극에 제1열전모듈에 구비된 복수의 P형 및 N형 열전반도체를 직렬로 연결하고, 상기 제1열전모듈에 구비된 P형 및 N형 열전반도체를 동종의 열전반도체끼리 동일선상에 위치시킨다.
- [0018] 본 발명의 실시예 2에 따른 열전모듈 제조방법은,
- [0019] 복수의 P형 및 N형 열전반도체를 구비한 제2열전모듈을 가요성 기관의 상부에 소정간격 이격되게 복수개 형성하는 단계와, 복수의 P형 및 N형 열전반도체를 구비한 제3열전모듈을 상기 제2열전모듈과 교호되게 상기 가요성 기관의 하부에 소정간격 이격되게 복수개 형성하는 단계와, 상기 가요성 기관을 접어 상기 제2열전모듈과 제3열전모듈을 교대로 적층하는 단계를 포함하는 것을 그 구성상의 특징으로 한다.
- [0020] 또한, 상기 제2열전모듈을 형성하는 단계는,
- [0021] 상기 가요성 기관의 상면에 증착한 복수의 상부전극 각각에 P형 및 N형 열전반도체를 쌓을 이루어도록 증착한다.
- [0022] 또한, 상기 제3열전모듈을 형성하는 단계는,
- [0023] 상기 가요성 기관의 하면에 증착한 복수의 하부전극의 각각에 P형 및 N형 열전반도체를 쌓을 이루어도록 증착한다.
- [0024] 또한, 상기 제2열전모듈과 제3열전모듈을 교대로 적층하는 단계는,
- [0025] 상기 가요성 기관의 상부 및 하부에 증착한 상부 및 하부전극에 의해 통전되게 직렬로 복수의 P형 및 N형 열전반도체를 연결하고, 상기 제2열전모듈 및 제3열전모듈에 구비된 P형 및 N형 열전반도체를 동종의 열전반도체끼리 동일선상에 위치시킨다.

[0026] 본 발명에 따른 열전모듈은 청구항 1 내지 6 중 어느 한 항의 방법으로 제조할 수 있다.

**발명의 효과**

[0027] 본 발명의 실시예 1에 따른 열전모듈 제조방법 및 이를 이용하여 제조한 열전모듈에 따르면, 기관에 박막형 열전반도체를 증착하고, 상기 기관을 적층하여 원하는 두께의 열전모듈을 용이하게 제조할 수 있을 뿐만 아니라, 최적효율을 확보할 수 있는 열전모듈을 제조할 수 있다.

[0028] 또한, 본 발명의 실시예 2에 따른 열전모듈 제조방법 및 이를 이용하여 제조한 열전모듈에 따르면, 가요성 기관의 상면 및 하면에 복수의 P형 및 N형 열전반도체를 구비한 복수의 열전모듈을 상호 교호되게 증착하고, 상기 가요성 기관을 접어서 복수의 열전모듈을 적층함으로써 간편하게 원하는 두께의 열전모듈을 제조할 수 있다.

**도면의 간단한 설명**

[0029] 도 1a 내지 도 1e는 본 발명의 실시예 1에 따른 열전모듈 제조방법을 나타내는 단면도이다.  
 도 2a 내지 도 2e는 본 발명의 실시예 2에 따른 열전모듈 제조방법을 나타내는 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

**실시예 1**

[0030] 이하에서는 첨부된 도면들을 참조하여, 본 발명에 따른 실시예 1에 따른 열전모듈 제조방법에 대하여 상세하게 설명하기로 한다.

[0031] 도 1a 내지 도 1e는 본 발명의 실시예1에 따른 열전모듈 제조방법을 나타내는 단면도이다.

[0032] 본 발명의 실시예 1에 따른 열전모듈 제조방법은 기관의 상면에 복수의 상부전극을 형성하는 단계와, 상기 복수의 상부전극의 상면에 복수의 P형 및 N형 열전반도체를 구비한 제1열전모듈을 형성하는 단계와, 상기 제1열전모듈이 형성된 기관을 복수개 적층하는 단계를 포함한다.

[0033] 기관의 상면에 복수의 상부전극을 형성하는 단계를 설명하면 다음과 같다.

[0034] 먼저, 도 1a에서 도시한 바와 같이 기관(100)의 상면에 절연층(110)을 형성할 수 있다. 절연층(110)은 기관(100)의 상면에 열산화법(Thermal oxidation) 또는 플라즈마 보강 기상 증착법(Plasma Enhanced Chemical Vapor Deposition:PE CVD)에 의해 형성된 실리콘 산화막(SiO<sub>2</sub>)을 사용할 수 있다. 여기서 기관(100)은 예를 들어 550 $\mu$ m 두께의 실리콘 웨이퍼를 이용할 수 있다.

[0035] 그리고, 도 1b에서 도시한 바와 같이, 절연층(110)의 상면에 Ti 박막층(120)을 증착할 수 있다. 여기서, Ti 박막층(120)은 상부전극(140)이 증착되는 경우 상부전극(140)과 기관(100)간의 확산을 방지하는 역할을 한다. Ti 박막층(120)은 스퍼터링 공정을 사용하여 형성할 수 있다.

[0036] 그리고, 마스크(미도시)를 Ti 박막층(120)의 상부에 배치할 수 있다. 그리고, 도 1c에서 도시한 바와 같이 복수개의 상부전극(140)을 각각 기관(100)의 상면에 소정간격 이격되게 증착한다. 상부전극(140)을 증착한 후에는 마스크를 제거한다.

[0037] 복수의 상부전극(140)의 상면에 복수의 P형 및 N형 열전반도체(151)(153)를 구비한 제1열전모듈(150)을 형성하는 단계를 설명하면 다음과 같다.

[0038] 도 1d에서 도시한 바와 같이, 기관(100)의 상면에 복수의 상부전극(140)을 형성한 후에 각각의 상부전극(140)의 상면에 P형 열전반도체(151) 및 N형 열전반도체(153)를 쌍으로 형성한다.

- [0039] 상부전극(140)의 상면에 P형 열전반도체(151) 및 N형 열전반도체(153)를 박막형태로 제조하기 위하여 상부전극(140)의 상면에 천공된 마스크(미도시)를 배치한 후, 스퍼터(sputter) 또는 이베퍼레이터(evaporator)를 이용하여 각각의 상부전극(140)의 상면에 P형 및 N형 열전반도체(151)(153)를 쌓으로 증착한다.
- [0040] 가령, 상부전극(140)을 기관(100)의 상면에 소정간격 이격되게 설치한 경우, P형 열전반도체(151)와 N형 열전반도체(153)를 쌓으로 하여 복수의 상부전극(140)에 증착한다. 다음으로, P형 열전반도체(151)와 N형 열전반도체(153)를 증착한 후에 마스크를 제거한다.
- [0041] 여기서 제1열전모듈(150)은 복수의 상부전극(140)의 상면에 증착되는 복수의 P형 및 N형 열전반도체(151)(153)를 포함하는 것으로 정의한다.
- [0042] 상기 제1열전모듈(150)이 형성된 기관(100)을 복수개 적층하는 단계를 설명하면 다음과 같다.
- [0043] 도 1e에서 도시한 바와 같이, 먼저 기관(100)의 하면에 복수의 하부전극(160)을 형성할 수 있다. 하부전극(160)을 형성하는 방법은 상기한 기관(100)의 상면에 상부전극(140)을 형성하는 방법과 동일하므로 이에 대한 상세한 설명은 생략하기로 한다. 한편, 하부전극(160)은 제1열전모듈(150)을 복수개 적층하는 단계에서 형성될 수 있으나, 기관(100)에 상부전극(140)을 형성할 때, 상기 기관(100)의 하부에 하부전극(160)을 형성할 수 있다.
- [0044] 그리고, 기관(100)의 하면에 복수의 하부전극(160)을 형성한 후 각각의 하부전극(160)의 상면에 제1열전모듈(150)에 구비된 P형 및 N형 열전반도체(151)(153)를 쌓으로 배치한다. 이와 같이, 제1열전모듈(150)에 구비된 P형 및 N형 열전반도체(151)(153)를 상부전극(140) 및 하부전극(160)에 직렬로 연결하여 통전시킨다.
- [0045] 상기한 방법으로, 제1열전모듈(150)이 형성된 기관(100)을 복수개 적층하며, 이때, 복수의 기관(100)에 형성된 각각의 제1열전모듈(150)에 구비된 P형 및 N형 열전반도체(151)(153)는 도 1e에서 도시한 바와 같이, P형 및 N형 열전반도체(151)(153) 각각이 동일선상에 수직되게 배치한다. 이와 같이, 제1열전모듈(150)을 구비한 기관(100)을 복수개 적층함으로써 원하는 두께의 열전모듈을 용이하게 제조할 수 있다.

**실시예 2**

- [0046] 이하에서는 첨부된 도면들을 참조하여, 본 발명에 따른 실시예 2에 따른 열전모듈 제조방법에 대하여 상세하게 설명하기로 한다.
- [0047] 도 2a 내지 도 2e는 본 발명의 실시예2에 따른 열전모듈 제조방법을 나타내는 단면도이다.
- [0048] 본 발명의 실시예 2에 따른 열전모듈 제조방법은 가요성 기관의 상면 및 하면에 복수의 상부전극 및 하부전극을 형성하는 단계와, 복수의 P형 및 N형 열전반도체를 구비한 제2열전모듈을 가요성 기관의 상부에 소정간격 이격되게 복수개 형성하는 단계와, 복수의 P형 및 N형 열전반도체를 구비한 제3열전모듈을 상기 제2열전모듈과 교호되게 상기 가요성 기관의 하부에 소정간격 이격되게 복수개 형성하는 단계와, 상기 가요성 기관을 접어 상기 제2열전모듈과 제3열전모듈을 교대로 적층하는 단계를 포함한다.
- [0049] 가요성(可撓性) 기관의 상면 및 하면에 복수의 상부전극 및 하부전극을 형성하는 단계를 설명하면 다음과 같다.
- [0050] 먼저, 도 2a에서 도시한 바와 같이 가요성 기관(100')의 상면에 절연층(110')을 형성할 수 있다. 절연층(110')은 가요성 기관(100')의 상면에 열산화법(Thermal oxidation) 또는 플라즈마 보강 기상 증착법(Plasma Enhanced Chemical Vapor Deposition:PE CVD)에 의해 형성된 실리콘 산화막(SiO<sub>2</sub>)을 사용할 수 있다. 여기서 가요성 기관(100')은 폴리이미드(polyimide) 수지를 이용할 수 있다.
- [0051] 그리고, 절연층(110')의 상면에 Ti 박막층(120')을 증착할 수 있다. 여기서, Ti 박막층(120')은 상부전극(140')이 증착되는 경우 상부전극(140')과 가요성 기관(100')간의 확산을 방지하는 역할을 한다. Ti 박막층(120')은 스퍼터링 공정을 사용하여 형성할 수 있다.
- [0052] 그리고, 마스크(미도시)를 Ti 박막층(120')의 상부에 배치할 수 있다. 그리고, 복수개의 상부전극(140')을 가요성 기관(100')의 상면에 소정간격 이격되게 증착한다. 상부전극(140')을 증착한 후에는 마스크를 제거한다.

- [0053] 그리고, 가요성 기관(100')의 하면에 하부전극(160')을 형성한다. 하부전극(160')을 형성하는 방법은 상기한 상부전극(140')을 형성하는 방법과 동일하므로 이에 대한 상세한 설명은 생략하기로 한다. 상기와 같이 하부전극(160')을 상부전극(140')을 형성한 후 연속하여 형성할 수 있으나, 후술할 상부전극(140')의 상면에 제2열전모듈(150')을 형성한 후 하부전극(160')을 형성할 수 있다.
- [0054] 복수의 P형 및 N형 열전반도체(151')(153')를 구비한 제2열전모듈(150')을 가요성 기관(100')의 상부에 소정간격 이격되게 복수개 형성하는 단계를 설명하면 다음과 같다.
- [0055] 가요성 기관(100')의 상면에 상부전극(140')을 형성한 후, 도 2b에서 도시한 바와 같이 상부전극(140')의 상면에 P형 열전반도체(151') 및 N형 열전반도체(153')를 쌍으로 형성한다.
- [0056] 상부전극(140')의 상면에 P형 열전반도체(151') 및 N형 열전반도체(153')를 박막형태로 제조하기 위하여 상부전극(140')의 상면에 천공된 마스크(미도시)를 배치한 후, 스퍼터(sputter) 또는 이베퍼레이터(evaporator)를 이용하여 상부전극(140')의 상면에 P형 및 N형 열전반도체(151')(153')를 쌍으로 증착한다.
- [0057] 가령, 상부전극(140')을 가요성 기관(100')의 상면에 소정간격 이격되게 설치한 경우, P형 열전반도체(151')와 N형 열전반도체(153')를 쌍으로 하여 상부전극(140')에 증착한다. 다음으로, P형 열전반도체(151')와 N형 열전반도체(153')를 증착한 후에 마스크를 제거한다.
- [0058] 여기서 제2열전모듈(150')은 복수의 상부전극(140')의 상면에 증착되는 복수의 P형 및 N형 열전반도체(151')(153')를 포함하는 것으로 정의한다.
- [0059] 그리고, 상기한 바와 같이 형성된 제2열전모듈(150')은 가요성 기관(100')의 상부에 소정간격 이격되게 복수개 형성된다.
- [0060] 복수의 P형 및 N형 열전반도체(171')(173')를 구비한 제3열전모듈(170')을 상기 제2열전모듈(150')과 교호되게 가요성 기관(100')의 하부에 소정간격 이격되게 복수개 형성하는 단계를 설명하면 다음과 같다.
- [0061] 도 2c에서 도시한 바와 같이, 가요성 기관(100')의 하면에 형성한 하부전극(160')의 상면에 P형 열전반도체(171') 및 N형 열전반도체(173')를 쌍으로 배치한다.
- [0062] 하부전극(160')의 상면에 P형 열전반도체(171') 및 N형 열전반도체(173')를 박막형태로 제조하기 위하여 하부전극(160')의 상면에 천공된 마스크(미도시)를 배치한 후, 스퍼터(sputter) 또는 이베퍼레이터(evaporator)를 이용하여 하부전극(160')의 상면에 P형 및 N형 열전반도체(171')(173')를 쌍으로 증착한다.
- [0063] 가령, 하부전극(160')을 가요성 기관(100')의 상면에 소정간격 이격되게 설치한 경우, P형 열전반도체(171')와 N형 열전반도체(173')를 쌍으로 하여 하부전극(160')에 증착한다. 다음으로, P형 열전반도체(171')와 N형 열전반도체(173')를 증착한 후에 마스크를 제거한다.
- [0064] 여기서 제3열전모듈(170')은 복수의 하부전극(160')의 상면에 증착되는 복수의 P형 및 N형 열전반도체(171')(173')를 포함하는 것으로 정의한다.
- [0065] 그리고, 상기한 바와 같이 제3열전모듈(170')을 가요성 기관(100')의 하부에 소정간격 이격되게 복수개 형성하는 한편, 제3열전모듈(170')을 가요성 기관(100')의 상부에 형성한 복수개의 제2열전모듈(150')과 교호되게 형성한다.
- [0066] 그리고, 복수의 P형 및 N형 열전반도체(171')(173')를 구비한 제3열전모듈(170')을 상기 제2열전모듈(150')과 교호되게 가요성 기관(100')의 하부에 소정간격 이격되게 복수개 형성한 후에, 도 2d에서 도시한 바와 같이 가요성 기관(100')의 상하면에 형성된 절연층(110') 및 Ti 박막층(120')을 제2열전모듈(150')과 제3열전모듈(170')의 사이에 해당하는 부분은 식각함으로써 가요성 기관(100')의 상/하면이 드러나는 홈부(180')를 형성한다.
- [0067] 이와 같이 제2열전모듈(150')과 제3열전모듈(170')의 사이에 홈부(180')를 형성함으로써 후술할 제2열전모듈(150')과 제3열전모듈(170')을 교대로 적층하는 공정을 수행할 때 가요성 기관(100')을 용이하게 굽힐 수 있다.



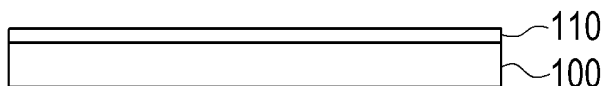
- [0068] 절연층(110') 및 Ti 박막층(120')을 식각하는 공정은 가요성 기판(100')의 상/하면에 상부 및 하부 전극(140')(160')을 형성하는 공정과 동시 또는 연속공정으로 수행할 수도 있다.
- [0069] 가요성 기판(100')을 접어 제2열전모듈(150')과 제3열전모듈(170')을 교대로 적층하는 단계를 설명하면 다음과 같다.
- [0070] 상기한 바와 같이, 가요성 기판(100')의 상부 및 하부에 복수개의 제2열전모듈(150') 및 제3열전모듈(170')을 교호되게 형성한 후, 도 2e에서 도시한 바와 같이 가요성 기판(100')을 접어 제2열전모듈(150')과 제3열전모듈(170')을 교대로 적층한다.
- [0071] 이때, 가요성 기판(100')의 상부 및 하부에는 상부 및 하부전극(140')(160')이 소정간격 이격되어 복수개 형성되어 있으며, 가요성 기판(100')의 상부 또는 하부에 형성된 각각의 상부전극(140') 및 하부전극(160')에 제2열전모듈(150') 및 제3열전모듈(170')에 구비된 P형 및 N형 열전반도체(171')(173')를 쌍으로 배치한다. 그리고, 제2열전모듈(150') 및 제3열전모듈(170')에 구비된 P형 및 N형 열전반도체(171')(173')를 상부전극(140') 및 하부전극(160')에 직렬로 연결하여 통전시킨다.
- [0072] 그리고, 도 2e에서 도시한 바와 같이 제2열전모듈(150') 및 제3열전모듈(170')에 구비된 P형 및 N형 열전반도체(171')(173') 각각이 동일선상에 수직되게 배치한다. 이와 같이, 복수의 제2열전모듈(150') 및 제3열전모듈(170')을 구비한 가요성 기판(100')을 접어서 적층함으로써 원하는 두께의 열전모듈을 용이하게 제조할 수 있다.
- [0073] 이상 설명한 본 발명은 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에 의하여 다양한 변형이나 응용이 가능하며, 본 발명에 따른 기술적 사상의 범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

**부호의 설명**

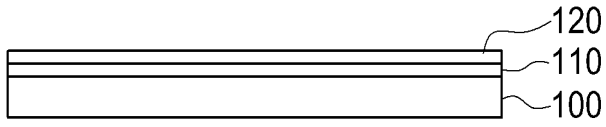
- [0074] 100: 기판                                      100': 가요성 기판  
 110, 110': 절연층                           120, 120': 박막층  
 140, 140': 상부전극                        160, 160': 하부전극  
 150: 제1열전모듈                            150': 제2열전모듈  
 170': 제3열전모듈

**도면**

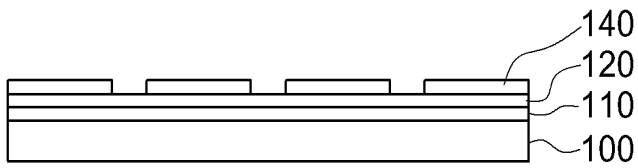
**도면1a**



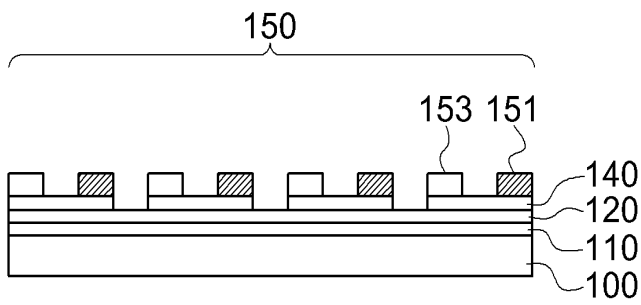
도면1b



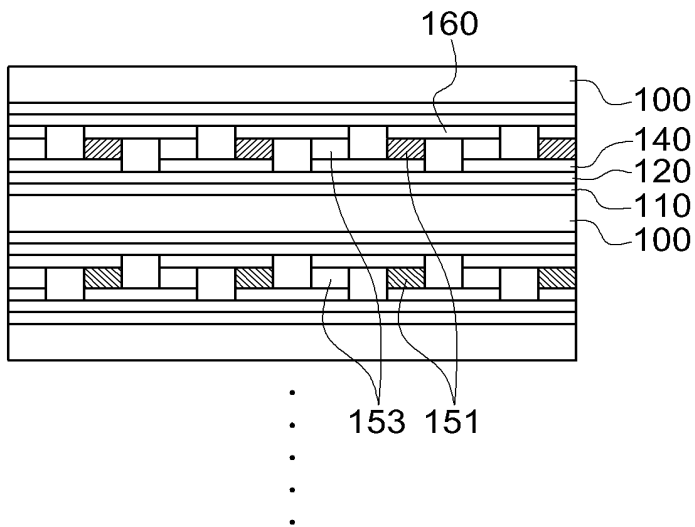
도면1c



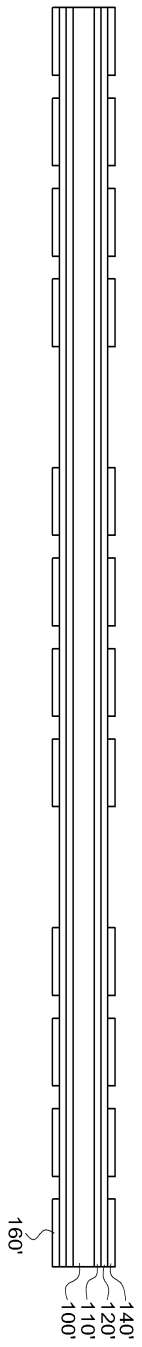
도면1d



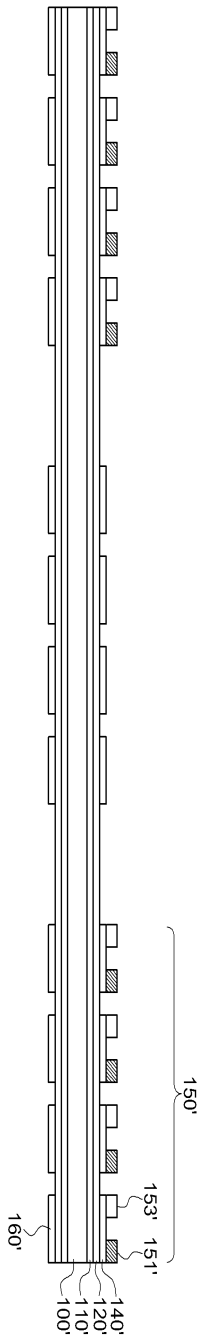
도면1e



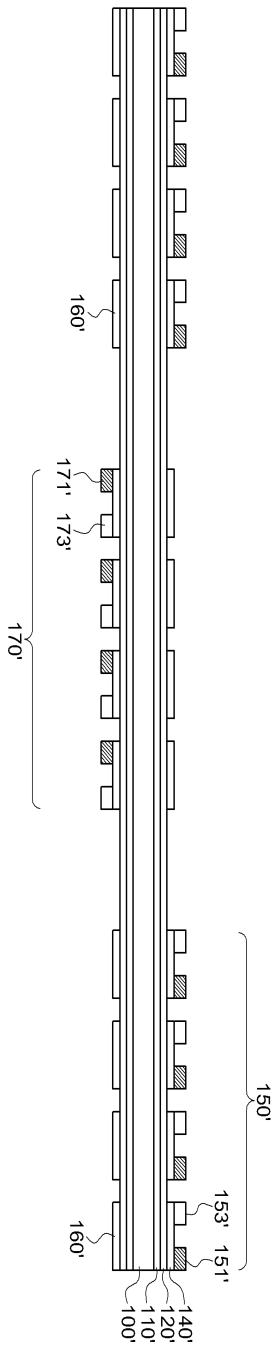
도면2a



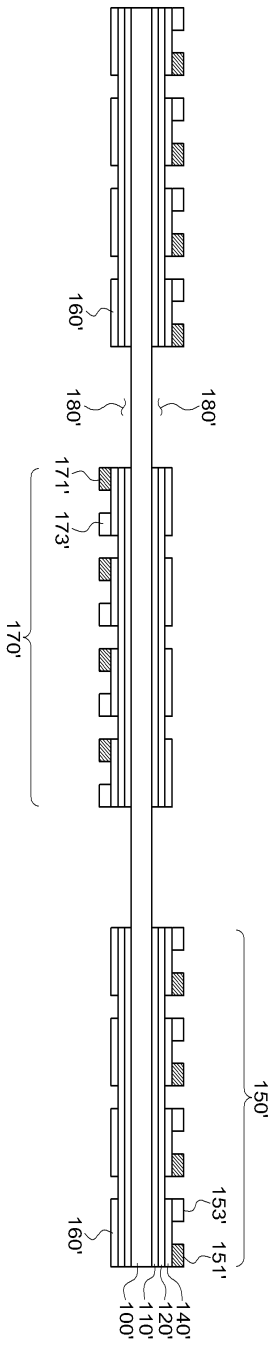
도면2b



도면2c



도면2d



도면2e

