



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2012년03월06일  
 (11) 등록번호 10-1119595  
 (24) 등록일자 2012년02월16일

(51) 국제특허분류(Int. Cl.)  
 H01L 35/34 (2006.01) H01L 35/02 (2006.01)  
 (21) 출원번호 10-2011-0081459  
 (22) 출원일자 2011년08월17일  
 심사청구일자 2011년08월17일  
 (56) 선행기술조사문헌  
 KR100984112 B1  
 KR100795374 B1  
 KR101047478 B1  
 KR100663117 B1

(73) 특허권자  
 한국기계연구원  
 대전광역시 유성구 가정북로 156 (장동)  
 (72) 발명자  
 현승민  
 대전광역시 유성구 지족로 317, 반석마을아파트  
 106동 1503호 (지족동)  
 이학주  
 대전광역시 유성구 장동 161  
 (뒷면에 계속)  
 (74) 대리인  
 특허법인다나

전체 청구항 수 : 총 13 항

심사관 : 한재균

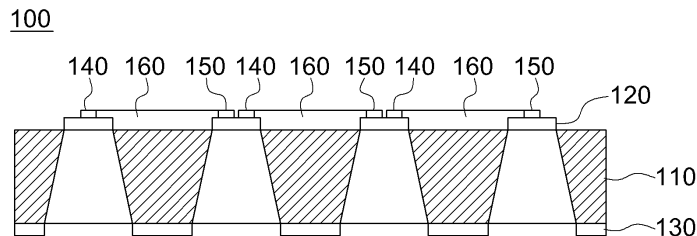
(54) 발명의 명칭 **수평형 박막 열전모듈의 제조방법 및 이에 의해 제조된 수평형 박막 열전모듈**

**(57) 요약**

본 발명은 수평형 박막 열전모듈 제조방법 및 이를 이용하여 제조한 수평형 박막 열전모듈에 관한 것으로서, 본 발명에 따른 수평형 박막 열전모듈 제조방법 및 이를 이용하여 제조한 수평형 박막 열전모듈은 실리콘 기판의 상면 및/또는 하면에 열전도율이 낮은 실리콘 나이트라이드 박막층을 형성하고, 상기 실리콘 나이트라이드 박막층의 상면에 열전반도체들을 교대로 증착한다.

본 발명에 따른 수평형 박막 열전모듈 제조방법 및 이를 이용하여 제조한 수평형 박막 열전모듈에 의하면, 열전반도체를 박막형으로 수평으로 증착하여 그 크기를 최소화할 수 있으며, 열전도율이 낮은 실리콘 나이트라이드 박막층의 상면에 열전반도체를 증착함으로써 열전반도체 양단간의 온도차를 크게 할 수 있어 열전모듈의 냉각효율을 향상시킬 수 있다.

**대표도** - 도2f



(72) 발명자

**우창수**

대전광역시 유성구 엑스포로 448, 404동 1404호 (전민동, 엑스포아파트)

**송준엽**

대전광역시 유성구 장동 161

**정준호**

대전광역시 유성구 장동 161

**전성재**

대전광역시 유성구 가정북로 156 (장동)

**이후정**

경기도 수원시 영통구 봉영로 1526, 서광아파트 709동 401호 (영통동)

이 발명을 지원한 국가연구개발사업

과제고유번호	SC0800
부처명	지식경제부
연구사업명	주요사업-일반
연구과제명	3차원 나노구조체 제조기술 고도화 사업
주관기관	한국기계연구원
연구기간	2011.01.01 ~ 2011.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	OD0720
부처명	지식경제부
연구사업명	산업기술연구회-협동연구사업
연구과제명	차세대 반도체 MCP 핵심기술 개발(3/5)
주관기관	한국기계연구원
연구기간	2011.03.01 ~ 2012.02.28

---

**특허청구의 범위**

**청구항 1**

실리콘 기관의 상면 및 하면에 각각 제1 및 제2 박막층을 형성하는 단계;  
 상기 실리콘 기관의 하면에 형성된 제2박막층을 패터닝하여 상기 실리콘 기관이 노출된 복수의 제1홀부를 형성하는 단계;  
 상기 제1홀부에 의해 노출된 상기 실리콘 기관을 식각하여 홀부를 형성하는 단계;  
 상기 홀부의 상측단부 측에 배치하고, 상기 제1박막층의 상면에 복수의 P형 및 N형 반도체를 교대로 증착하는 단계; 및  
 상기 P형 및 N형 반도체가 상호 통전되게 전극을 증착하는 단계;를 포함하는 수평형 박막 열전모듈의 제조방법.

**청구항 2**

실리콘 기관의 상면 및 하면에 각각 제3 및 제4박막층을 형성하는 단계;  
 상기 실리콘 기관의 상면 및 하면에 형성된 제3 및 제4박막층을 패터닝하여 상기 실리콘 기관이 노출된 복수의 제2홀부와 제3홀부를 상기 실리콘 기관의 상면 및 하면에 각각 교호되게 형성하는 단계;  
 상기 제2홀부 및 제3홀부에 의해 노출된 상기 실리콘 기관을 식각하여 홀부를 형성하는 단계;  
 상기 홀부의 개구된 일측단부의 반대편 타측단부 측에 배치하고, 상기 제3박막층 및 제4박막층의 상면에 복수의 P형 및 N형 반도체를 교대로 증착하는 단계; 및  
 상기 P형 및 N형 반도체가 상호 통전되게 전극을 증착하는 단계;를 포함하는 수평형 박막 열전모듈의 제조방법.

**청구항 3**

청구항 1에 있어서,  
 상기 제1,2박막층은 저압 화학 기상 증착(Low Pressure CVD: LP CVD)법에 의한 실리콘 나이트라이드(Silicon Nitride) 박막층인 것을 특징으로 하는 수평형 박막 열전모듈의 제조방법.

**청구항 4**

청구항 2에 있어서,  
 상기 제3,4박막층은 저압 화학 기상 증착(Low Pressure CVD: LP CVD)법에 의한 실리콘 나이트라이드(Silicon Nitride) 박막층인 것을 특징으로 하는 수평형 박막 열전모듈의 제조방법.

**청구항 5**

청구항 1 또는 청구항 2에 있어서,  
 상기 홀부는 상기 실리콘 기관을 웨트 에칭(wet etching)법에 의해 식각하여 형성한 것을 특징으로 하는 수평형 박막 열전모듈의 제조방법.

**청구항 6**

청구항 1 또는 청구항 2에 있어서,  
 상기 홀부는 개구된 일측단부에서 타측단부 방향으로 점층적으로 폭이 감소되도록 테이퍼지게 형성한 것을 특징으로 하는 수평형 박막 열전모듈의 제조방법.

**청구항 7**

청구항 1에 있어서,

상기 전극을 증착하는 단계는,

상기 제1박막층 중 상기 P형 및 N형 반도체가 증착된 부분을 제외한 나머지 부분을 상기 실리콘 기판의 상면 및 하면에서 제거하는 단계; 및

마스크를 실리콘 기판, P형 반도체 및 N형 반도체의 상부에 배치하고, 상기 P형 및 N형 반도체의 길이방향의 양단에 소정간격 이격되어 대향되게 각각 전극을 증착하는 단계;를 포함하는 것을 특징으로 하는 수평형 박막 열전모듈의 제조방법.

**청구항 8**

청구항 2에 있어서,

상기 전극을 증착하는 단계는,

상기 제3,4박막층 중 상기 P형 및 N형 반도체가 증착된 부분을 제외한 나머지 부분을 상기 실리콘 기판의 상면 및 하면에서 제거하는 단계; 및

마스크를 실리콘 기판, P형 반도체 및 N형 반도체의 상부에 배치하고, 상기 P형 및 N형 반도체의 길이방향의 양단에 소정간격 이격되어 대향되게 각각 전극을 증착하는 단계;를 포함하는 것을 특징으로 하는 수평형 박막 열전모듈의 제조방법.

**청구항 9**

복수의 홀부를 형성한 실리콘 기판;

상기 실리콘 기판의 상면에 형성한 제1박막층;

상기 홀부의 일측단부가 외부에 개구되도록 상기 실리콘 기판의 하면에 형성한 제2박막층;

상기 홀부의 상측에 배치하고, 상기 제1박막층의 상면에 교대로 증착한 복수의 P형 및 N형 반도체; 및

상기 P형 및 N형 반도체가 상호 통전되도록 상기 P형 및 N형 반도체의 길이방향 양단에 소정간격 이격되어 대향되게 증착한 전극;을 포함하는 수평형 박막 열전모듈.

**청구항 10**

복수의 홀부를 형성한 실리콘 기판;

상기 홀부의 일측단부가 외부에 교호되어 개구되도록 상기 실리콘 기판의 상면 및 하면에 각각 형성한 제3 및 제4박막층;

상기 홀부의 개구된 일측단부의 반대편 타측단부 측에 배치하고, 상기 제3 및 제4박막층의 상면에 교대로 증착한 복수의 P형 및 N형 반도체; 및

상기 P형 및 N형 반도체가 상호 통전되도록 상기 P형 및 N형 반도체의 길이방향 양단에 소정간격 이격되어 대향되게 증착한 전극;을 포함하는 수평형 박막 열전모듈.

**청구항 11**

청구항 9에 있어서,

상기 제1,2박막층은 실리콘 나이트라이드 박막층인 것을 특징으로 하는 수평형 박막 열전모듈.

**청구항 12**

청구항 10에 있어서,

상기 제3,4박막층은 실리콘 나이트라이드 박막층인 것을 특징으로 하는 수평형 박막 열전모듈.

**청구항 13**

청구항 9 또는 청구항 10에 있어서,

상기 홀부는 개구된 일측단부에서 타측단부 방향으로 점층적으로 폭이 감소되도록 테이퍼지게 형성한 것을 특징

으로 하는 수평형 박막 열전모듈.

**명세서**

**기술분야**

[0001] 본 발명은 수평형 박막 열전모듈 제조방법 및 이를 이용하여 제조한 수평형 박막형 열전모듈에 관한 것으로서, 보다 상세하게는 반도체칩 패키지 등의 방열 문제를 해결하기 위한 수평형 박막 열전모듈 제조방법 및 이를 이용하여 제조한 수평형 박막 열전모듈에 관한 것이다.

**배경기술**

[0002] 각종 반도체칩의 고밀도 집적 배열로 인한 공간 활용의 극대화는 반도체 관련 기술분야에서 중요한 위치를 차지하고 있다. 이러한 고밀도 집적 배열은 이 기술분야에서 초기에는 주로 나노 공정의 개발로 인한 반도체 칩의 소형화를 통하여 주도되는 것이었다.

[0003] 한편, 반도체 칩의 적층 배열을 통하여 제한된 면적 안에서 고밀도 집적을 이루려는 기술이 대두되었고(multi-chip package), 상하로 적층된 반도체 칩 간에 비아(Via), 예들들면 홀 또는 홈을 형성하여 서로 연결되게 하는 기술(Through silicon via, TSV)이 개발되었다.

[0004] 이러한 반도체칩의 적층기술에 있어서, 당면과제는 각 반도체칩에서 발생하는 발열의 해결이다. 즉, 반도체칩의 발열은 저전력 소모, 저항요소의 감소의 노력에도 불구하고 작동신호의 주파수 증가 등의 요인으로 인하여 항상 문제시되었다.

[0005] 특히 상기와 같이 다수의 층을 이루어 서로 가깝게 위치하는 각 반도체 칩에서 발생한 열은 적층된 층 사이에 축적되므로 반도체 칩의 성능저하나 파손의 문제를 가져오게 된다.

[0006] 상기한 발열 문제를 해결하기 위한 기술로 열전모듈을 이용한 냉각기술이 있다.

[0007] 열전모듈(thermoelectric module)은 열과 전기의 상호작용으로 나타나는 각종 효과를 이용한 소자의 총칭으로 정의되는 것인데, 본 발명과 관련하여서는 전류에 의해 열의 흡수(또는 발생)가 생기는 현상인 펠티에 효과를 이용한 소자인 펠티에소자를 주로 의미하며, 필요에 따라서는 열전소자 양단의 온도차에 의해 기전력을 발생시키는 현상인 제백효과를 이용하는 소자를 포함할 수도 있다.

[0008] 펠티에 효과를 이용한 열전모듈을 구성하기 위하여는 전기전도 방식이 다른 비스무트, 텔루륨 등의 소재로 만들어진 이중반도체를 교대로 배열하고, 이웃하는 이중반도체들을 직렬이 되도록 전기연결한 후 이에 직류를 공급하여 흡열, 발열 반응을 얻어낸다.

[0009] 이러한 열전모듈은 전류 방향에 따라 흡열 및 발열의 전환이 가능하고, 전류량에 따라 흡열량 및 발열량이 조절되므로, 용량이 적은 냉동기 또는 상온 부근의 정밀한 항온조 제작에 응용된다.

[0010] 도 1은 일반적인 이중 반도체를 이용한 열전모듈을 나타내는 사시도이다.

[0011] 도 1을 참조하면, 열전모듈은 P형 반도체(1)와 N형 반도체(2)가 교대로 배열된다.

[0012] 그리고, P형 반도체(1) 및 N형 반도체(2)는 전극(3)에 각각 접속되고, 일단부에 배치되는 P형 반도체(1)의 하단부면에는 외부에 접속되는 전극(4)이 접속되고, 타단부에 배치되는 N형 반도체(2)의 하단부면에는 외부에 접속되는 전극(5)이 접속된다.

[0013] P형 반도체(1) 및 N형 반도체(2)는 전극(4)과 전극(5) 사이에  $\pi$  형으로 제조되는 수직형으로 직렬 접속되어 있다.

[0014] P형 반도체(1) 및 N형 반도체(2)의 상단부면에 접속되는 전극(3)에는 열전도성 기판(good thermally conductive substrate)(6)이 접촉된다.

[0015] P형 반도체(1) 및 N형 반도체(2)의 하단부면에 접속되는 전극(3)(4)(5)에는 열전도성 기판(7)이 접촉된다.

[0016] 그리고, 직류 전원이 전극(4)과 전극(5) 사이에 접속되되, 전극(5)을 플러스(+)측으로 하고, 전극(4)을 마이너스(-)측으로 하여 열전모듈에 전류가 흐르게 하면, P형 반도체(1)와 N형 반도체(2)의 접합부에 있어서는 전류

방향에 의존하여 열전도성 기관(6)에서는 열을 흡수하여 냉각되고, 열전도성 기관(7)에서는 열을 방출하여 가열된다.

[0017] 한편, 전극(4)과 전극(5) 사이에 부하를 접속하여 폐회로를 구성하고, 열전도성 기관(6)을 저온 측으로 하고, 열전도성 기관(7)을 고온 측으로 하여 열전도성 기관(6)과 열전도성 기관(7) 사이에 온도차를 부여하면 폐회로에 전류가 흘러 전력을 얻을 수 있다.

[0018] 그러나, 실리콘 기관에 절연층(1) 및 N형 반도체(또는 P형 반도체)(2)의 두께를 더한 만큼 열전모듈의 두께가 두꺼워져 컴팩트화가 요구되는 반도체칩 패키지에 적당하지 못한 문제점이 있다.

[0019] 또한, 열전도성 기관(7)을 반도체칩 등에 접촉하여 반도체칩 등에서 발생하는 열을 외부로 뽑아내야 하므로 냉각효율이 저하되는 문제점이 있다.

**발명의 내용**

**해결하려는 과제**

[0020] 본 발명에 따른 수평형 박막 열전모듈 제조방법 및 이를 이용하여 제조한 수평형 박막 열전모듈은, 실리콘 기관의 상면 및/또는 하면에 박막형 열전반도체들을 수평으로 증착한 박막형 열전모듈을 제조하여 이를 반도체칩 패키지 등에 결합시켜 반도체칩 패키지의 크기를 컴팩트하게 할 수 있다.

[0021] 또한, 본 발명에 따른 수평형 박막 열전모듈 제조방법 및 이를 이용하여 제조한 수평형 박막 열전모듈은, 실리콘 기관의 상면 및/또는 하면에 열전도율이 낮은 실리콘 나이트라이드 박막층을 형성하고, 상기 실리콘 나이트라이드 박막층의 상면에 박막형 열전반도체들을 증착한 박막형 열전모듈을 제조하여 열전반도체 양단간의 온도차를 크게 할 수 있어 냉각효율을 향상시킬 수 있다.

**과제의 해결 수단**

[0022] 본 발명의 실시예1에 따른 수평형 박막 열전모듈의 제조방법은,

[0023] 실리콘 기관의 상면 및 하면에 각각 제1 및 제2 박막층을 형성하는 단계와, 상기 실리콘 기관의 하면에 형성된 제2박막층을 패터닝하여 상기 실리콘 기관이 노출된 복수의 제1홈부를 형성하는 단계와, 상기 제1홈부에 의해 노출된 상기 실리콘 기관을 식각하여 홈부를 형성하는 단계와, 상기 홈부의 상측단부 측에 배치하고, 상기 제1 박막층의 상면에 복수의 P형 및 N형 반도체를 교대로 증착하는 단계와, 상기 P형 및 N형 반도체가 상호 통전되게 전극을 증착하는 단계를 포함하는 것을 그 구성상의 특징으로 한다.

[0024] 본 발명의 실시예2에 따른 수평형 박막 열전모듈의 제조방법은,

[0025] 실리콘 기관의 상면 및 하면에 각각 제3 및 제4박막층을 형성하는 단계와, 상기 실리콘 기관의 상면 및 하면에 형성된 제3 및 제4박막층을 패터닝하여 상기 실리콘 기관이 노출된 복수의 제2홈부와 제3홈부를 상기 실리콘 기관의 상면 및 하면에 각각 교호되게 형성하는 단계와, 상기 제2홈부 및 제3홈부에 의해 노출된 상기 실리콘 기관을 식각하여 홈부를 형성하는 단계와, 상기 홈부의 개구된 일측단부의 반대편 타측단부 측에 배치하고, 상기 제3박막층 및 제4박막층의 상면에 복수의 P형 및 N형 반도체를 교대로 증착하는 단계와, 상기 P형 및 N형 반도체가 상호 통전되게 전극을 증착하는 단계를 포함하는 것을 그 구성상의 특징으로 한다.

[0026] 상기 제1,2,3,4박막층은 저압 화학 기상 증착(Low Pressure CVD: LP CVD)법에 의한 실리콘 나이트라이드(Silicon Nitride) 박막층으로 구성한다.

[0027] 상기 홈부는 상기 실리콘 기관을 웨트 에칭(wet etching)법에 의해 식각하여 형성한다.

[0028] 상기 홈부는 개구된 일측단부에서 타측단부 방향으로 점층적으로 폭이 감소되도록 테이퍼지게 형성한다.

[0029] 상기 전극을 증착하는 단계는,

[0030] 상기 제1,2,3,4박막층 중 상기 P형 및 N형 반도체가 증착된 부분을 제외한 나머지 부분을 상기 실리콘 기관의 상면 및 하면에서 제거하는 단계와, 마스크를 실리콘 기관, P형 반도체 및 N형 반도체의 상부에 배치하고, 상기 P형 및 N형 반도체의 길이방향의 양단에 소정간격 이격되어 대향되게 각각 전극을 증착하는 단계를 포함한다.

[0031] 본 발명의 실시예1에 따른 수평형 박막 열전모듈은,

[0032] 복수의 홈부를 형성한 실리콘 기관과, 상기 실리콘 기관의 상면에 형성한 제1박막층과, 상기 홈부의 일측단부가

외부에 개구되도록 상기 실리콘 기관의 하면에 형성한 제2박막층과, 상기 홀부의 상측에 배치하고, 상기 제1박막층의 상면에 교대로 증착한 복수의 P형 및 N형 반도체와, 상기 P형 및 N형 반도체가 상호 통전되도록 상기 P형 및 N형 반도체의 길이방향 양단에 소정간격 이격되어 대향되게 증착한 전극을 포함하는 것을 그 구성상의 특징으로 한다.

- [0033] 본 발명의 실시예2에 따른 수평형 박막 열전모듈은,
- [0034] 복수의 홀부를 형성한 실리콘 기관과, 상기 홀부의 일측단부가 외부에 교호되어 개구되도록 상기 실리콘 기관의 상면 및 하면에 각각 형성한 제3 및 제4박막층과, 상기 홀부의 개구된 일측단부의 반대편 타측단부 측에 배치하고, 상기 제3 및 제4박막층의 상면에 교대로 증착한 복수의 P형 및 N형 반도체와, 상기 P형 및 N형 반도체가 상호 통전되도록 상기 P형 및 N형 반도체의 길이방향 양단에 소정간격 이격되어 대향되게 증착한 전극을 포함하는 것을 그 구성상의 특징으로 한다.
- [0035] 상기 제1,2,3,4박막층은 실리콘 나이트라이드 박막층으로 구성한다.
- [0036] 상기 홀부는 개구된 일측단부에서 타측단부 방향으로 점층적으로 폭이 감소되도록 테이퍼지게 형성한다.

**발명의 효과**

- [0037] 본 발명에서 제안하고 있는 수평형 박막 열전모듈 제조방법 및 이를 이용하여 제조한 수평형 박막 열전모듈에 따르면, 실리콘 기관의 상면 및/또는 하면에 열전반도체를 박막형으로 수평으로 증착하여 그 크기를 최소화할 수 있는 효과가 있다.
- [0038] 또한, 수평형 박막 열전모듈을 반도체칩 패키지 등에 결합시켜 반도체칩 패키지의 크기를 콤팩트하게 할 수 있는 효과가 있다.
- [0039] 또한, 열전반도체를 열전도율이 낮은 실리콘 나이트라이드 박막층의 상면에 형성함으로써 열전반도체 양단간의 온도차를 크게 하여 열전모듈의 냉각효율을 향상시킬 수 있는 효과가 있다.
- [0040] 또한, 실리콘 기관에 형성된 홀부에 의해 열전반도체에서 외부로 전달되는 열을 감소시켜 열전반도체 양단 간의 온도차를 더 크게 할 수 있어 열전모듈의 냉각효율을 더욱 향상시킬 수 있는 효과가 있다.

**도면의 간단한 설명**

- [0041] 도 1은 일반적인 이중 반도체를 이용한 열전모듈을 나타내는 사시도이다.
- 도 2a는 본 발명의 실시예1에 따라 실리콘 기관의 상/하면에 제1 및 제2박막층을 형성한 상태를 나타내는 단면도이다.
- 도 2b는 본 발명의 실시예1에 따라 제2박막층을 패터닝하여 제1홈부를 형성한 상태를 나타내는 단면도이다.
- 도 2c는 본 발명의 실시예1에 따라 실리콘 기관에 홀부를 형성한 상태를 나타내는 단면도이다.
- 도 2d는 본 발명의 실시예1에 따라 제1박막층의 상면에 P형 및 N형 반도체를 증착한 상태를 나타내는 단면도이다.
- 도 2e는 본 발명의 실시예1에 따라 박막층 중 P형 및 N형 반도체가 증착된 부분을 제외한 나머지 부분을 실리콘 기관의 상면에서 제거한 상태를 나타내는 단면도이다.
- 도 2f는 본 발명의 실시예1에 따라 P형 및 N형 반도체에 전극을 증착한 상태를 나타내는 단면도이다.
- 도 2g는 본 발명의 실시예1에 따라 P형 및 N형 반도체에 전극을 증착한 상태를 나타내는 평면도이다.
- 도 3a는 본 발명의 실시예2에 따라 실리콘 기관의 상/하면에 제3 및 제4박막층을 형성한 상태를 나타내는 단면도이다.
- 도 3b는 본 발명의 실시예2에 따라 제3 및 제4박막층을 패터닝하여 제2 및 제3홈부를 형성한 상태를 나타내는 단면도이다.
- 도 3c는 본 발명의 실시예2에 따라 실리콘 기관에 홀부를 형성한 상태를 나타내는 단면도이다.
- 도 3d는 본 발명의 실시예2에 따라 제3 및 4박막층의 상면에 P형 및 N형 반도체를 증착한 상태를 나타내는 단면도이다.

도 3e는 본 발명의 실시예2에 따라 박막층 중 P형 및 N형 반도체가 증착된 부분을 제외한 나머지 부분을 실리콘 기판의 상면에서 제거한 상태를 나타내는 단면도이다.

도 3f는 본 발명의 실시예2에 따라 P형 및 N형 반도체에 전극을 증착한 상태를 나타내는 단면도이다.

도 3g는 본 발명의 실시예2에 따라 P형 및 N형 반도체에 전극을 증착한 상태를 나타내는 평면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0042] <제1실시예>
- [0043] 이하에서는 첨부된 도면들을 참조하여, 본 발명의 실시예1에 따른 수평형 박막 열전모듈의 제조방법 및 이를 이용하여 제조한 수평형 박막 열전모듈에 대하여 상세하게 설명하기로 한다.
- [0044] 도 2a 내지 도 2g는 본 발명의 실시예1에 따른 수평형 박막 열전모듈의 제조방법을 나타내는 도면이다.
- [0045] 도 2a 내지 도 2g를 참고하면, 본 발명의 실시예1에 따른 수평형 박막 열전모듈(100)의 제조방법은, 실리콘 기판(110)의 상면 및 하면에 각각 제1 및 제2박막층(120)(130)을 형성하는 단계와, 상기 실리콘 기판(110)의 하면에 형성된 제2박막층(130)을 패터닝하여 상기 실리콘 기판(110)이 노출된 복수의 제1홈부(131)를 형성하는 단계와, 상기 제1홈부(131)에 의해 노출된 상기 실리콘 기판(110)을 식각하여 홈부(111)를 형성하는 단계와, 상기 홈부(111)의 상측단부 측에 배치하고, 상기 제1박막층(120)의 상면에 복수의 P형 및 N형 반도체(140)(150)를 교대로 증착하는 단계와, 상기 P형 및 N형 반도체(140)(150)가 상호 통전되게 전극(160)을 증착하는 단계를 포함한다.
- [0046] 먼저, 실리콘 기판(110)의 상면 및 하면에 각각 제1 및 제2박막층(120)(130)을 형성하는 단계를 설명하면 아래와 같다.
- [0047] 도 2a에서 도시한 바와 같이, 실리콘 기판(110)의 상면 및 하면에 제1 및 제2박막층(120)(130)을 형성한다. 제1 및 제2박막층(120)(130)은 실리콘 나이트라이드(Silicon Nitride; 질화실리콘(Si<sub>3</sub>N<sub>4</sub>) 등) 박막층으로 형성할 수 있다. 실리콘 나이트라이드 박막층은 열전도율이 낮아 절연 및 단열 용도로 사용될 수 있으며, 내마모성, 내식성, 내열충격성 및 물이나 나트륨의 확산이 잘되지 않는 좋은 확산 방지막의 성질을 갖고 있어 실리콘 기판(110)의 최종보호막으로 사용될 수 있다. 본 발명의 실시예1에서 실리콘 상면 및 하면에 형성한 제1 및 제2박막층(120)(130)은 실리콘 기판(110)에 홈부(111)를 형성함에 있어서 실리콘 기판(110)을 보호하는 역할을 하며, 실리콘 기판(110)에 홈부(111)를 형성한 후에는 열전도율이 낮은 특성을 이용한 단열용도로 사용된다.
- [0048] 그리고, 실리콘 나이트라이드 박막층은 저압 화학 기상 증착법(Low Pressure CVD: LP CVD)에 의해 형성할 수 있다. 저압 화학 기상 증착법은 가스상태에서의 반응이 일어나는 것을 현저하게 줄여주므로 가스 입자 상태로 존재하는 불순물들과의 반응이 격감하여 불순물을 감소시킬 수 있다.
- [0049] 그리고, 실리콘 기판(110)의 하면에 형성된 제2박막층(130)을 패터닝하여 상기 실리콘 기판(110)이 노출된 복수의 제1홈부(131)를 형성하는 단계를 설명하면 아래와 같다.
- [0050] 제2박막층(130) 상에 천공된 마스크(미도시)를 배치한다. 그리고, 상기 천공에 의해 노출된 제2박막층(130)을 제거하여 도 2b에서 도시한 바와 같이 실리콘 기판(110)의 하면에 복수의 제1홈부(131)를 형성한다. 실리콘 기판(110)의 가로방향 또는 세로방향으로 복수의 제1홈부(131)를 형성할 수 있다.
- [0051] 그리고, 제1홈부(131)에 의해 노출된 실리콘 기판(110)을 식각하여 홈부(111)를 형성하는 단계를 설명하면 아래와 같다.
- [0052] 도 2c에서 도시한 바와 같이 제1홈부(131)에 의해 노출된 실리콘 기판(110)을 식각하여 실리콘 기판(110)에 소정간격 이격된 복수의 홈부(111)를 형성한다. 이때, 실리콘 기판(110)은 수산화칼륨(KOH)을 이용한 웨트 에칭(wet etching)법에 의해 식각할 수 있다.
- [0053] 또한, 홈부(111)는 실리콘 기판(110)의 하면에서 상면방향으로 점층적으로 폭이 감소되도록 테이퍼지게 형성한다. 홈부(111)는 실리콘 기판(110)에 대하여 54° 이내로 경사지게 형성한다.
- [0054] 그리고, 홈부(111)의 상측단부 측에 배치하고 제1박막층(120)의 상면에 복수의 P형 및 N형 반도체(140)(150)를 교대로 증착하는 단계를 설명하면 아래와 같다.
- [0055] 도 2d에서 도시한 바와 같이 제1박막층(120)의 상면에 복수의 P형 및 N형 반도체(140)(150)를 교대로 박막형으



로 수평되게 증착한다. P형 및 N형 반도체(140)(150)를 박막형태로 제조하기 위하여 제1박막층(120)의 상면에 천공된 마스크(미도시)를 배치한 후 스퍼터(sputter) 또는 이베퍼레이터(evaporator)를 이용하여 제1박막층(120)의 상부에 교대로 증착할 수 있다.

[0056] 그리고, P형 및 N형 반도체(140)(150)는 홀부(111)의 상측단부 측에 배치되도록 증착할 수 있다. 바람직하게는 실리콘 기판(110)의 상부에서 볼 때, 홀부(111)의 테두리 내측에 P형 및 N형 반도체(140)(150)가 배치되게 증착한다. 또한, 홀부(111)의 테두리 내측에 하나의 P형 또는 N형 반도체(140)(150)를 증착할 수 있으나, 복수의 P형 및 N형 반도체(140)(150)를 쌍을 이루게 증착할 수 있다.

[0057] 이처럼, 열전도율이 낮은 제1박막층(120)의 상면과 홀부(111)의 상측단부 측에 P형 및 N형 반도체(140)(150)를 증착함으로써, P형 및 N형 반도체(140)(150)에서 발생한 열이 외부로 전달되는 것을 방지할 수 있게 되어 P형 및 N형 반도체(140)(150)의 양단의 온도차를 크게 할 수 있다. 따라서, 열전모듈(100)의 냉각효율을 향상시킬 수 있다.

[0058] 다음으로, P형 반도체(140)와 N형 반도체(150)를 증착한 후에 마스크를 제거한다.

[0059] 그리고, P형 및 N형 반도체(140)(150)가 상호 통전되게 전극(160)을 증착하는 단계를 설명하면 아래와 같다.

[0060] 도 2e에서 도시한 바와 같이 실리콘 기판(110)의 상면에 형성한 제1박막층(120)을 제거한다. 이때, 제1박막층(120) 중 P형 및 N형 반도체(140)(150)가 증착된 부분을 제외한 나머지 부분을 제거하는 것이 바람직하다.

[0061] 그리고, 마스크(미도시)를 실리콘 기판(110), P형 반도체(140) 및 N형 반도체(150)의 상부에 배치하고, 도 2f 및 도 2g에서 도시한 바와 같이 P형 및 N형 반도체(140)(150)가 직렬로 통전되게 P형 반도체(140) 및 N형 반도체(150)의 길이방향의 양단에 소정간격 이격되어 대향되게 각각 전극(160)을 증착한다.

[0062] 다음으로, 전극(160)을 증착한 후 마스크를 제거한다.

[0063] 상기한 본 발명의 실시예1에 따른 수평형 박막 열전모듈 제조방법에 제조된 수평형 박막 열전모듈(100)은, 도 2f 및 도 2g에서 도시한 바와 같이, 복수의 홀부(111)를 형성한 실리콘 기판(110)과, 실리콘 기판(110)의 상면에 형성한 제1박막층(120)과, 홀부(111)의 일측단부가 외부에 개구되도록 실리콘 기판(110)의 하면에 형성한 제2박막층(130)과, 홀부(111)의 상측에 배치하고 제1박막층(120)의 상면에 교대로 수평되게 박막형태로 증착한 복수의 P형 및 N형 반도체(140)(150)와, P형 및 N형 반도체(140)(150)가 상호 통전되도록 상기 P형 및 N형 반도체(140)(150)의 길이방향 양단에 소정간격 이격되어 대향되게 증착한 전극(160)을 포함한다.

[0064] 이와 같이, 본 발명의 실시예1에 따른 수평형 박막 열전모듈(100)은 실리콘 기판(110)의 상면에 P형 및 N형 반도체(140)(150)를 박막형태로 수평되게 증착하므로 열전모듈(100)의 크기를 최소화할 수 있으며, 열전도율이 낮은 실리콘 나이트라이드 박막층인 제1박막층(120)과 실리콘 기판(110)에 형성된 홀부(111)에 의해 P형 및 N형 반도체(140)(150) 양단간의 온도차를 크게 할 수 있어 열전모듈(100)의 냉각효율을 향상시킬 수 있다.

[0065] 한편, 상기 수평형 박막 열전모듈(100)의 사용방법은 한국등록특허 제0984112호에 개시되어 있는바, 이에 대한 구체적인 설명은 생략한다.

[0066] <제2실시예>

[0067] 이하에서는 첨부된 도면들을 참조하여, 본 발명의 실시예2에 따른 수평형 박막 열전모듈의 제조방법 및 이를 이용하여 제조한 수평형 박막 열전모듈에 대하여 상세하게 설명하기로 한다.

[0068] 도 3a 내지 도 3g는 본 발명의 실시예2에 따른 수평형 박막 열전모듈의 제조방법을 나타내는 도면이다.

[0069] 도 3a 내지 도 3g를 참고하면, 본 발명의 실시예2에 따른 수평형 박막 열전모듈(200)의 제조방법은, 실리콘 기판(210)의 상면 및 하면에 각각 제3 및 제4박막층(220)(230)을 형성하는 단계와, 상기 실리콘 기판(210)의 상면 및 하면에 형성된 제3 및 제4박막층(220)(230)을 패터닝하여 상기 실리콘 기판(210)이 노출된 복수의 제2홈부(221)와 제3홈부(231)를 상기 실리콘 기판(210)의 상면 및 하면에 각각 교호되게 형성하는 단계와, 상기 제2홈부(221) 및 제3홈부(231)에 의해 노출된 상기 실리콘 기판(210)을 식각하여 홀부(211)를 형성하는 단계와, 상기 홀부(211)의 개구된 일측단부의 반대편 타측단부 측에 배치하고 상기 제3박막층(220) 및 제4박막층(230)의 상면에 복수의 P형 및 N형 반도체(250)를 교대로 증착하는 단계와, 상기 P형 및 N형 반도체(250)가 상호 통전되게 전극(260)을 증착하는 단계를 포함한다.

- [0070] 먼저, 실리콘 기판(210)의 상면 및 하면에 각각 제3 및 제4박막층(220)(230)을 형성하는 단계를 설명하면 아래와 같다.
- [0071] 도 3a에서 도시한 바와 같이, 실리콘 기판(210)의 상면 및 하면에 제3 및 제4박막층(220)(230)을 형성한다. 제3 및 제4박막층(220)(230)은 실리콘 나이트라이드(Silicon Nitride; 질화실리콘(Si<sub>3</sub>N<sub>4</sub>) 등) 박막층으로 형성할 수 있다. 본 발명의 실시예2에서 실리콘 상면 및 하면에 형성한 제3 및 제4박막층(220)(230)은 실리콘 기판(210)에 홀부(211)를 형성함에 있어서 실리콘 기판(210)을 보호하는 역할을 하며, 실리콘 기판(210)에 홀부(211)를 형성한 후에는 열전도율이 낮은 특성을 이용한 단열용도로 사용된다. 실리콘 나이트라이드 박막층은 본 발명의 실시예1에서 설명한 바와 같으므로 이에 대한 상세한 설명은 생략하기로 한다.
- [0072] 그리고, 실리콘 기판(210)의 상면 및 하면에 형성된 제3 및 제4박막층(220)(230)을 패터닝하여 실리콘 기판(210)이 노출된 복수의 제2홀부(221)와 제3홀부(231)를 실리콘 기판(210)의 상면 및 하면에 각각 교호되게 형성하는 단계를 설명하면 아래와 같다.
- [0073] 제3 및 제4박막층(220)(230)의 상부에 천공된 마스크(미도시)를 배치한다. 그리고, 상기 천공에 의해 노출된 제3 및 제4박막층(220)(230)을 제거하여 도 3b에서 도시한 바와 같이 실리콘 기판(210)의 상면 및 하면에 복수의 제2 및 제3홀부(221)(231)를 형성한다. 제2 및 제3홀부(221)(231)는 실리콘 기판(210)의 가로방향 또는 세로방향으로 복수개 형성할 수 있다. 제2 및 제3홀부(221)(231)에 의해 실리콘 기판(210)의 상면 및 하면이 교호되게 외부에 노출된다.
- [0074] 그리고, 제2홀부(221) 및 제3홀부(231)에 의해 노출된 실리콘 기판(210)을 식각하여 홀부(211)를 형성하는 단계를 설명하면 아래와 같다.
- [0075] 제3 및 제4박막층(220)(230)에 형성한 제2홀부(221) 및 제3홀부(231)에 의해 실리콘 기판(210)의 상/하면이 외부에 노출된다. 도 3c에서 도시한 바와 같이 제2 및 제3홀부(231)에 의해 노출된 실리콘 기판(210)을 식각하여 실리콘 기판(210)에 소정간격 이격된 복수의 홀부(211)를 형성한다. 이때 홀부(211)는 실리콘 기판(210)의 상면을 수산화칼륨(KOH)을 이용한 웨트 에칭(wet etching)법에 의해 식각하고, 그 후 실리콘 기판(210)의 하면을 웨트 에칭법에 의해 식각할 수 있다.
- [0076] 또한, 홀부(211)는 실리콘 기판(210)의 하면에서 상면방향으로 또는 상면에서 하면방향으로 점층적으로 폭이 감소되도록 테이퍼지게 형성한다. 홀부(211)는 실리콘 기판(210)에 대하여 54° 이내로 경사지게 형성한다.
- [0077] 그리고, 홀부(211)의 개구된 일측단부의 반대편 타측단부 측에 배치하고, 상기 제3박막층(220) 및 제4박막층(230)의 상면에 복수의 P형 및 N형 반도체(250)를 교대로 증착하는 단계를 설명하면 아래와 같다.
- [0078] 도 3d에서 도시한 바와 같이 제3 및 제4박막층(220)(230)의 상면에 복수의 P형 및 N형 반도체(250)를 교대로 박막형으로 수평되게 증착한다. 그리고, P형 및 N형 반도체(250)를 실리콘 기판(210)에 형성된 홀부(211)의 개구된 일측단부의 반대편 타측단부측에 배치하여 증착한다. 바람직하게는 실리콘 기판(210)의 상부 또는 하부에서 볼 때, 홀부(211)의 테두리 내측에 P형 및 N형 반도체(250)가 배치되게 증착한다. 또한, 홀부(211)의 테두리 내측에 하나의 P형 또는 N형 반도체(250)를 증착할 수 있으나, 복수의 P형 및 N형 반도체(250)를 쌍을 이루게 증착할 수 있다.
- [0079] 이처럼, 열전도율이 낮은 제3 및 제4박막층(220)(230)의 상면에 P형 및 N형 반도체(250)를 증착함으로써, P형 및 N형 반도체(250)에서 발생한 열이 외부로 전달되는 것을 방지할 수 있게 되어 P형 및 N형 반도체(250)의 양단의 온도차를 크게 할 수 있다. 따라서, 열전도물(200)의 냉각효율을 향상시킬 수 있다.
- [0080] 다음으로, P형 반도체(240)와 N형 반도체(250)를 증착한 후에 마스크를 제거한다.
- [0081] 복수의 P형 및 N형 반도체(250)를 증착하는 방법은 본 발명의 실시예1에서 설명한 바와 같으므로 상세한 설명은 생략하기로 한다.
- [0082] 그리고, P형 및 N형 반도체(250)가 상호 통전되게 전극(260)을 증착하는 단계를 설명하면 아래와 같다.
- [0083] 도 3e에서 도시한 바와 같이 실리콘 기판(210)의 상면에 형성한 제3박막층(220)을 제거한다. 이때, 제3박막층(220) 중 P형 및 N형 반도체(250)가 증착된 부분을 제외한 나머지 부분을 제거하는 것이 바람직하다.
- [0084] 그리고, 마스크(미도시)를 실리콘 기판(210), P형 반도체(240) 및 N형 반도체(250)의 상부에 배치하고, 도 3f 및 도 3g에서 도시한 바와 같이 P형 및 N형 반도체(250)가 직렬로 통전되게 P형 반도체(240) 및 N형 반도체

(250)의 길이방향의 양단에 소정간격 이격되어 대향되게 각각 전극(260)을 증착한다.

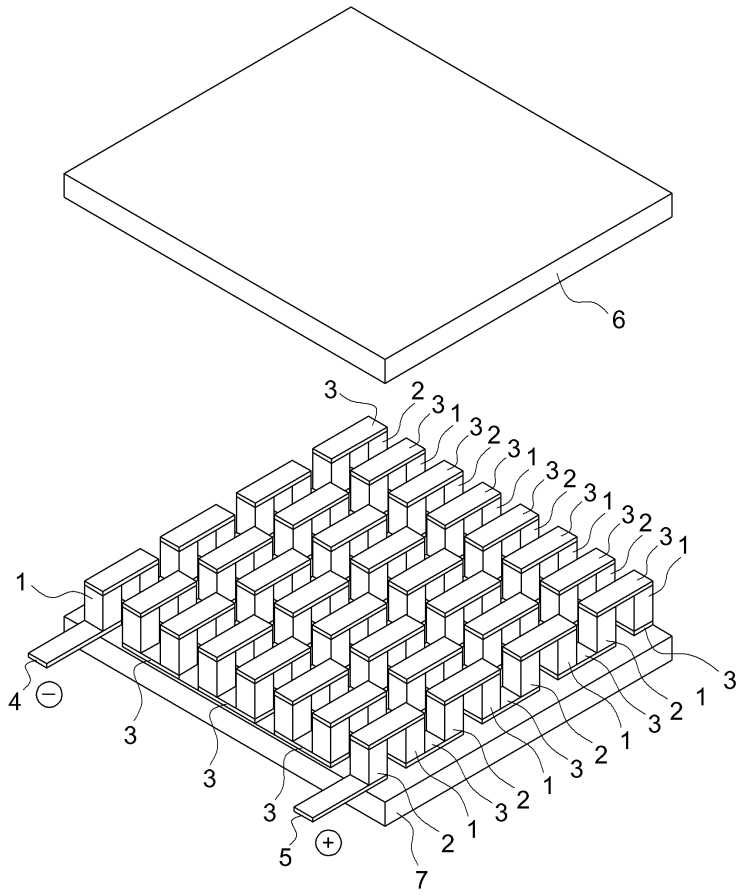
- [0085] 다음으로, 전극(260)을 증착한 후 마스크를 제거한다.
- [0086] 그리고, 실리콘 기판(210)의 하면에 형성한 제4박막층(230)을 제거하고, 도 3f 및 도 3g에서 도시한 바와 같이 실리콘 기판(210)의 상면에 전극(260)을 증착한 방법과 동일하게 실리콘 기판(210)의 하면에 전극(260)을 증착한다.
- [0087] 상기한 본 발명의 실시예2에 따른 수평형 박막 열전모듈 제조방법에 제조된 수평형 박막 열전모듈(200)은, 도 3f 및 도 3g에서 도시한 바와 같이, 복수의 홀부(211)를 형성한 실리콘 기판(210)과, 홀부(211)의 일측단부가 외부에 교호되어 개구되도록 실리콘 기판(210)의 상면 및 하면에 각각 형성한 제3 및 제4박막층(220)(230)과, 홀부(211)의 개구된 일측단부의 반대편 타측단부 측에 배치하고 제3 및 제4박막층(220)(230)의 상면에 교대로 증착한 복수의 P형 및 N형 반도체(250)와, P형 및 N형 반도체(250)가 상호 통전되도록 P형 및 N형 반도체(250)의 길이방향 양단에 소정간격 이격되어 대향되게 증착한 전극(260)을 포함한다.
- [0088] 이와 같이, 본 발명의 실시예2에 따른 수평형 박막 열전모듈(200)은 실리콘 기판(210)의 상면에 P형 및 N형 반도체(250)를 박막형으로 수평되게 증착하므로 열전모듈(200)의 크기를 최소화할 수 있으며, 열전도율이 낮은 실리콘 나이트라이드 박막층인 제3 및 제4박막층(220)(230)과 실리콘 기판(210)에 형성된 홀부(211)에 의해 P형 및 N형 반도체(250) 양단간의 온도차를 크게 할 수 있어 열전모듈(200)의 냉각효율을 향상시킬 수 있다.
- [0089] 한편, 상기 수평형 박막 열전모듈(200)의 사용방법은 한국등록특허 제0984112호에 개시되어 있는바, 이에 대한 구체적인 설명은 생략한다.
- [0090] 앞서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예들을 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술 될 특허청구범위에 기재된 본 발명의 사상 및 기술영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**부호의 설명**

- [0091] 100, 200: 열전모듈                      110, 210: 실리콘 기판
- 111, 211: 홀부                              120: 제1박막층
- 130: 제2박막층                            131: 제1홈부
- 140, 240: P형 반도체                    150, 250: N형 반도체
- 160, 260: 전극                             220: 제3박막층
- 221: 제2홈부                              230: 제4박막층
- 231: 제3홈부

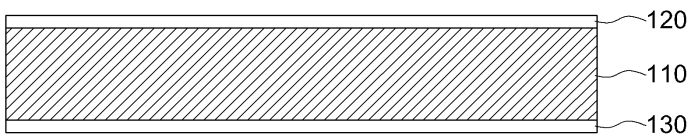
도면

도면1



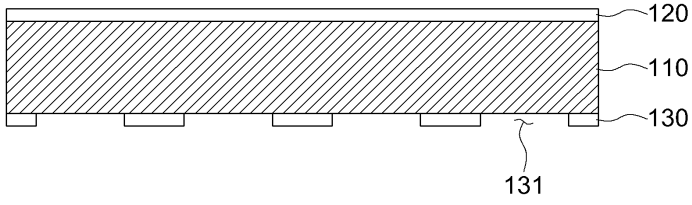
도면2a

100



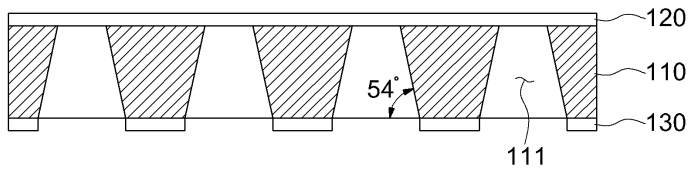
도면2b

100



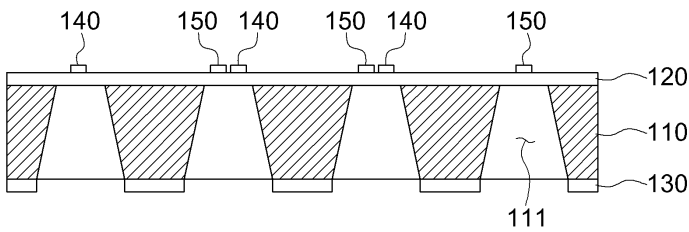
도면2c

100



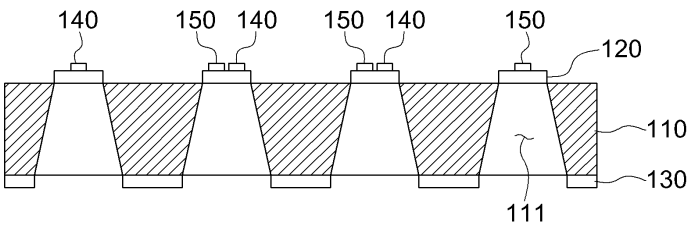
도면2d

100

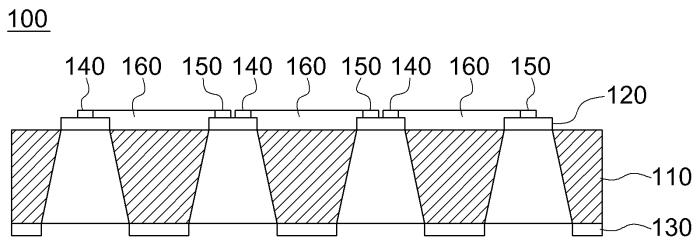


도면2e

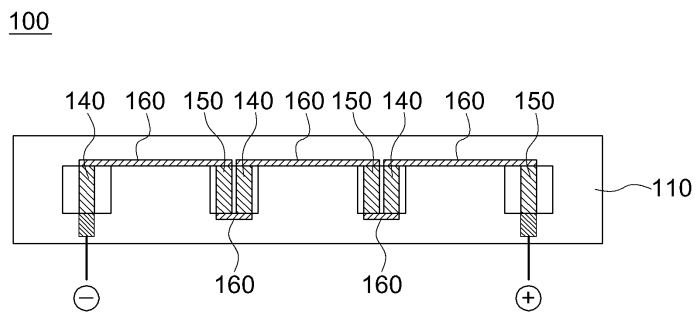
100



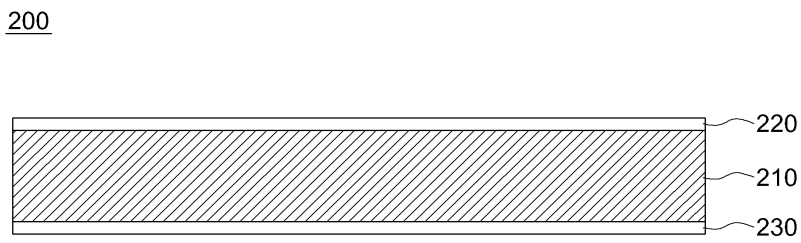
도면2f



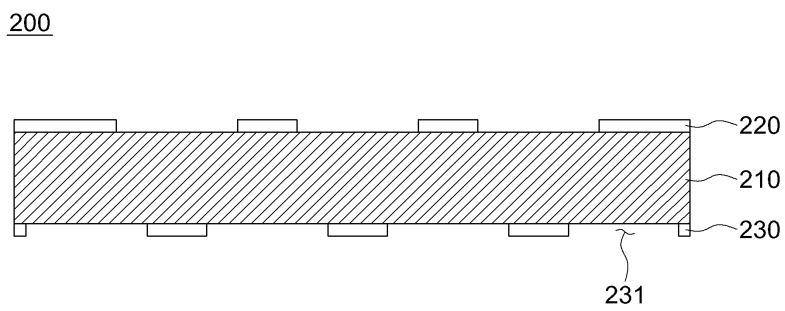
도면2g



도면3a

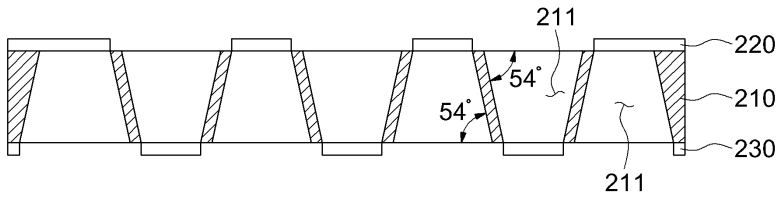


도면3b



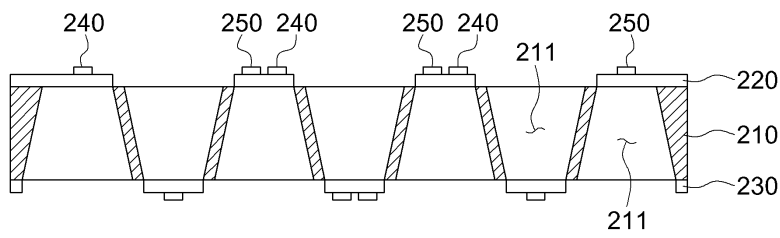
도면3c

200



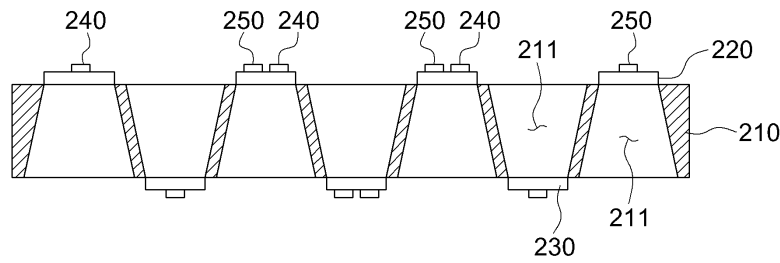
도면3d

200



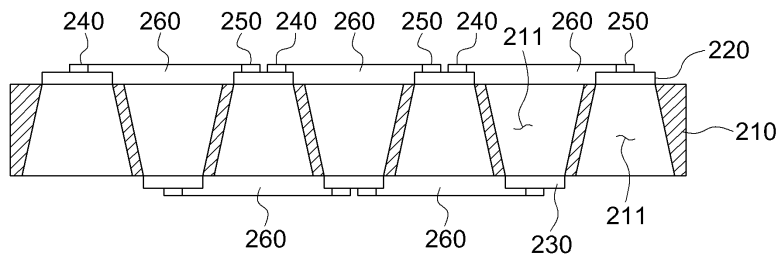
도면3e

200



도면3f

200



도면3g

200

