



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년09월28일
(11) 등록번호 10-0984112
(24) 등록일자 2010년09월17일

(51) Int. Cl.
H01L 35/34 (2006.01) H01L 35/02 (2006.01)
(21) 출원번호 10-2010-0003057
(22) 출원일자 2010년01월13일
심사청구일자 2010년01월13일
(56) 선행기술조사문헌
JP2009049050 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
한국기계연구원
대전 유성구 장동 171번지
(72) 발명자
현승민
대전광역시 유성구 장동 171
장봉균
대전광역시 유성구 장동 171
(뒷면에 계속)
(74) 대리인
특허법인다나

전체 청구항 수 : 총 15 항

심사관 : 김주승

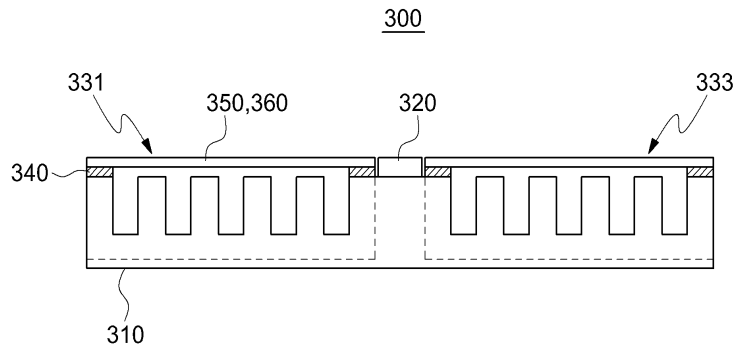
(54) 수평형 박막 열전모듈의 제조방법 및 이를 이용한 발열소자 패키지

(57) 요약

본 발명은 수평형 박막 열전모듈의 제조방법은 실리콘 기판의 상면에 단열층부를 형성하고 그 위로 복수의 P형 열전반도체 및 N형 열전반도체를 교대로 소정간격 이격되게 수평으로 누여서 증착하여 열전모듈을 형성하는 것을 주요 특징으로 한다. 이렇게 제조된 수평형 박막 열전모듈은 단열층부가 형성되어 있어 열전반도체 박막과 실리콘과의 접촉 면적을 최소화하여 열전 모듈의 효율을 증가 시킬 수 있다.

그리고 실리콘 기판의 상면 또는 실리콘 기판에 내재되게 설치되는 발열소자의 일측에 상기 수평형 박막 열전모듈을 설치하여 발열소자 패키지를 구성할 수 있으며, 이러한 발열소자 패키지는 복수 개가 적층되는 형태로 구현될 수 있다. 본 발명의 발열소자 패키지의 크기를 최소화 할 수 있으며 적층두께를 감소시킬 수 있다. 또한 발열소자에서 발생하는 열을 손쉽게 외부로 배출할 수 있어서 발열소자의 파손이나 성능저하를 방지할 수 있다.

대표도 - 도4a



(72) 발명자

이학주

대전광역시 유성구 장동 171

최병익

대전광역시 유성구 장동 171

송준엽

대전광역시 유성구 장동 171

이 발명을 지원한 국가연구개발사업

과제고유번호 OD012B

부처명 지식경제부

연구관리전문기관

연구사업명 기관협동연구

연구과제명 능동냉각 및 공정신뢰성 기술 개발

기여율

주관기관 KIMM

연구기간 2008년 12월 23일 ~ 2010년 02월 28일

특허청구의 범위

청구항 1

실리콘 기판의 상면에 복수의 단열층을 구비한 단열층부를 형성하는 단계;

상기 단열층부에 인접되게 전극을 증착하는 단계; 및

상기 단열층부의 상부를 덮도록 수평으로 누워져 배치되는 복수의 P형 열전반도체 및 N형 열전반도체를 증착하는 단계를 포함하는 것을 특징으로 하는 수평형 박막 열전모듈의 제조방법.

청구항 2

청구항 1에 있어서, 상기 단열층부를 형성하는 단계는,

상기 실리콘 기판의 상면에 감광성 수지를 코팅하여 감광성 수지층을 형성하는 단계;

상기 감광성 수지층에 노광 및 현상 공정을 수행하여 패턴을 형성하고 불필요한 감광성 수지층은 제거하는 단계; 및

제거된 상기 감광성 수지층의 패턴에 따라 상기 실리콘 기판을 식각하여 복수의 단열층을 형성하는 단계를 포함하는 것을 특징으로 하는 수평형 박막 열전모듈의 제조방법.

청구항 3

청구항 2에 있어서,

상기 단열층부는 복수개가 형성되며,

상기 단열층부의 상부에 소정간격 이격되게 증착하는 복수의 P형 열전반도체 및 N형 열전반도체는 소정간격 이격되게 교대로 증착되는 것을 특징으로 하는 수평형 박막 열전모듈의 제조방법.

청구항 4

청구항 1에 있어서, 상기 전극을 증착하는 단계는,

상기 실리콘 기판의 상면에 절연층을 형성하는 단계;

상기 절연층의 상면에 Ti 박막층을 증착하는 단계; 및

마스크를 상기 Ti 박막층의 상부에 배치하고, 상기 단열층부의 양단에 각각 전극을 증착하는 단계를 포함하는 것을 특징으로 하는 수평형 박막 열전모듈의 제조방법.

청구항 5

실리콘 기판의 상면에 복수의 열전반도체 안착부를 형성하는 단계;

상기 열전반도체 안착부의 하면에 복수의 단열층을 구비한 단열층부를 형성하는 단계;

상기 열전반도체 안착부에 내재되고, 상기 단열층부의 상부를 덮도록 수평으로 누워져 배치되는 복수의 P형 열전반도체 및 N형 열전반도체를 교대로 증착하는 단계; 및

상기 P형 열전반도체 및 N형 열전반도체의 상면에 각각 전극을 증착하는 단계를 포함하는 것을 특징으로 하는 수평형 박막 열전모듈의 제조방법.

청구항 6

청구항 5에 있어서, 상기 열전반도체 안착부를 형성하는 단계는,
 상기 실리콘 기판의 상면에 실리콘 나이트라이드(Silicon Nitride) 박막층을 형성하는 단계;
 상기 실리콘 나이트라이드 박막층 상면에 감광성 수지를 코팅하여 감광성 수지층을 형성하는 단계;
 상기 감광성 수지층에 노광 및 현상 공정을 수행하여 패턴을 형성하고 불필요한 감광성 수지층은 제거하는 단계; 및
 제거된 상기 감광성 수지층의 패턴에 따라 드러난 실리콘 나이트라이드 박막층과 상기 실리콘 기판을 식각하여 소정깊이를 갖는 홈을 형성하는 단계 및
 식각된 상기 실리콘 기판의 상면에 절연층을 증착하는 단계를 포함하는 것을 특징으로 하는 수평형 박막 열전모듈의 제조방법.

청구항 7

청구항 6에 있어서,
 상기 실리콘 나이트라이드 박막은 건식 식각 (dry etching)법에 의해 식각 되는 것을 특징으로 하는 수평형 박막 열전모듈의 제조방법.

청구항 8

청구항 6에 있어서,
 상기 실리콘 기판은 습식 식각(wet etching)법에 의해 식각되는 것을 특징으로 하는 수평형 박막 열전모듈의 제조방법.

청구항 9

청구항 6에 있어서,
 상기 홈은 실리콘 기판의 아래방향으로 점층적으로 폭이 감소되도록 테이퍼지게 형성된 것을 특징으로 하는 수평형 박막 열전모듈의 제조방법.

청구항 10

청구항 5에 있어서, 상기 단열홈부를 형성하는 단계는,
 상기 열전반도체 안착부의 상면에 감광성 수지를 코팅하여 감광성 수지층을 형성하는 단계;
 상기 감광성 수지층에 노광 및 현상 공정을 수행하여 패턴을 형성하고 불필요한 감광성 수지층은 제거하는 단계;
 제거된 상기 감광성 수지층을 통하여 노출된 상기 실리콘 기판을 식각하여 상기 열전반도체 안착부의 하부에 소정깊이를 갖는 복수의 단열홈을 형성하는 단계; 를 포함하는 것을 특징으로 하는 수평형 박막 열전모듈의 제조방법.

청구항 11

청구항 5에 있어서, 상기 전극을 증착하는 단계는,

마스크를 실리콘 기판, P형 열전반도체 및 N형 열전반도체의 상부에 배치하고, 상기 P형 열전반도체 및 N형 열전반도체의 길이방향의 양단에 각각 전극을 증착하는 단계인 것을 특징으로 하는 수평형 박막 열전모듈의 제조 방법.

청구항 12

실리콘 기판의 상면에 설치된 발열소자의 일측에 청구항 1 내지 청구항 4 중 어느 한 항의 방법으로 제조된 수평형 박막 열전모듈이 수평방향으로 소정간격 이격되어 설치되는 것을 특징으로 하는 수평형 박막 열전모듈을 이용한 발열소자 패키지.

청구항 13

실리콘 기판에 내재되게 설치된 발열소자의 일측에 청구항 5 내지 청구항 11 중 어느 한 항의 방법으로 제조된 수평형 박막 열전모듈이 수평방향으로 소정간격 이격되어 상기 실리콘 기판에 내재되게 설치되는 것을 특징으로 하는 수평형 박막 열전모듈을 이용한 발열소자 패키지.

청구항 14

청구항 12에 있어서,

상기 발열소자 패키지를 복수 개 적층하여 형성하는 것을 특징으로 하는 수평형 박막 열전모듈을 이용한 발열소자 패키지.

청구항 15

청구항 13에 있어서,

상기 발열소자 패키지를 복수 개 적층하여 형성하는 것을 특징으로 하는 수평형 박막 열전모듈을 이용한 발열소자 패키지.

명세서

기술분야

[0001] 본 발명은 수평형 박막 열전모듈의 제조방법 및 이를 이용한 발열소자 패키지 응용에 관한 것으로서, 보다 상세하게는 발열소자 패키지의 방열 문제를 해결하기 위한 수평형 박막 열전모듈의 제조방법 및 이를 이용한 발열소자 패키지에 관한 것이다.

배경기술

[0002] 반도체 칩이나 LED칩과 같이 열이 많이 발생하는 발열소자의 방열문제는 발열소자의 성능저하나 열적 피손을 방지하기 위하여 대단히 중요하다.

[0003] 특히 반도체 칩을 고밀도 집적 배열로 인한 공간 활용의 극대화는 반도체 관련 기술 분야에서 중요한 위치를 차지하고 있는데, 이러한 고밀도 집적 배열은 발열량 증가를 수반한다.

[0004] 한편, 근래에는 반도체 칩의 적층 배열을 통하여 제한된 면적 안에서 고밀도 집적을 이루려는 기술이 대두되었고, 이는 상하로 적층된 반도체 칩(multi-chip package) 간에 비아(Via), 예를 들면 홀 또는 홈을 형성하여 서로 연결되게 하는 기술(Through silicon via, TSV)이 사용된다.

- [0005] 이러한 적층형 반도체 칩에 있어서는 발열이 더욱 문제가 되는데, 이는 다수의 층을 이루어 서로 가깝게 위치하는 각 반도체 칩에서 발생한 열이 적층된 층 사이에 축적되므로 쉽게 과열되기 때문이다.
- [0006] 한편 설계자들은 반도체 칩의 발열 자체를 감소시키기 위해 저전력 소모, 저항요소의 감축 등의 노력을 해왔으나, 작동신호의 주파수 증가 등 다른 발열요인이 여전히 증가하고 있어 발열 해결은 여전히 문제로 남아 있다.
- [0007] 따라서 상기한 발열 문제를 해결하기 위하여 발생한 열을 강제로 외부로 배출하는 기술이 많이 사용되는데, 이러한 방법의 하나로 열전소자를 이용한 냉각기술이 있다.
- [0008] 열전소자(thermoelectric element)는 원래 열과 전기의 상호작용으로 나타나는 각종 효과를 이용한 소자의 총칭으로 정의되는 것인데, 본 발명과 관련하여서는 전류에 의해 열의 흡수(또는 발생)가 생기는 현상인 펠티에 효과를 이용한 소자인 펠티에소자를 한정하여 의미한다.
- [0009] 펠티에 효과를 이용한 열전소자는 전기전도 방식이 다른 비스무트, 텔루륨 등의 소재로 만들어지는 이종반도체를 상하 방향으로 수직되게 다수를 교대로 배열하여 형성한다.
- [0010] 이렇게 형성된 열전소자는 이웃하는 반도체들을 직렬이 되도록 전기연결한 후 이에 직류를 공급하여 흡열, 발열 반응을 얻어낼 수 있다. 이 때 전류 방향에 따라 흡열/발열의 전환이 가능하고, 전류량에 따라 흡열/발열량이 조절되므로, 용량이 적은 냉동기 또는 상온 부근의 정밀한 항온조 제작에 응용할 수 있다.
- [0011] 도 1은 종래의 일반적인 이종 반도체를 이용한 열전 모듈을 도시한 사시도이다.
- [0012] 도 1을 참조하면, 열전 모듈은 P형 열전반도체(1)와 N형 열전반도체(2)가 교대로 배열되어 있다.
- [0013] 그리고 P형 열전반도체(1) 및 N형 열전반도체(2)는 전극(3)에 각각 접속되어 있고, 일단부측에 배치되는 P형 열전반도체(1)의 하단부면에는 외부 접속되는 전극(4)이 접속되고, 다른 쪽 단부측에 배치되는 N형 열전반도체(2)의 하단부면에는 외부 접속되는 전극(5)이 접속된다.
- [0014] P형 열전반도체(1) 및 N형 열전반도체(2)는 전극(4)과 전극(5) 사이에 수직으로 세워 제조되어 π 형으로 직렬 접속되어 있다.
- [0015] P형 열전반도체(1) 및 N형 열전반도체(2)의 상단부면에 접속되는 전극(3)에는 열전도성 기판(good thermally conductive substrate)(6)이 접촉된다.
- [0016] P형 열전반도체(1) 및 N형 열전반도체(2)의 하단부면에 접속되는 전극(3)(4)(5)에는 열전도성 기판(7)이 접촉된다.
- [0017] 그리고 직류 전원이 전극(4)과 전극(5) 사이에 접속되며, 전극(5)을 플러스(+)측으로 하고, 전극(4)을 마이너스(-)측으로 하여 열전변환 모듈에 전류가 흐르게 하면, P형 열전반도체(1)와 N형 열전반도체(2)의 접합부에 있어서는 전류 방향에 의존하여 열전도성 기판(6)에서는 열을 흡수하여 냉각되고, 열전도성 기판(7)에서는 열을 방출하여 가열된다.
- [0018] 한편, 전극(4)과 전극(5) 사이에 부하를 접속하여 폐회로를 구성하고, 열전도성 기판(6)을 저온 측으로 하고, 열전도성 기판(7)을 고온 측으로 하여 열전도성 기판(6)과 열전도성 기판(7) 사이에 온도차를 부여하면 폐회로에 전류가 흘러 전력을 얻을 수 있다.
- [0019] 그러데 상기 종래의 P형 열전반도체(1) 및 N형 열전반도체(2)는 전극(4)과 전극(5) 사이에 π 형으로 직렬 접속되는 수직형 열전 모듈은 실리콘 기판에 절연층(1) 및 N형 열전반도체(또는 P형 열전반도체)(2)의 수직 높이를 더한 만큼 열전모듈의 두께가 두꺼워져 컴팩트화가 요구되는 발열소자 패키지에 적합하지 못한 문제점이 있다.
- [0020] 또한, P형 열전반도체 및 N형 열전반도체의 상단부면에는 열전도성 기판을 접촉시켜야 하는 등의 발열소자에서 발생하는 열을 외부로 직접 뽑아내는 능동냉각이 어려운 문제점이 있다.

발명의 내용

해결하려는 과제

- [0021] 본 발명은 상기 종래의 수직형 열전모듈이 갖는 문제점들을 해결하기 위하여 제안된 것으로서, P형 열전반도체 및 N형 열전반도체를 실리콘 기판의 상면에 누워있는 형태를 갖도록 수평으로 증착하거나, 실리콘 기판에 수평으로 내재되게 증착한 수평형 박막 열전모듈을 제조하는 방법과 수평형 박막 열전모듈을 발열소자 패키지에 결합시켜 콤팩트하게 구성한 발열소자 패키지를 제공하는데 그 목적이 있다.
- [0022] 또한, 본 발명에 따른 수평형 박막 열전모듈을 이용하여 발열소자에서 발생하는 열을 능동적으로 냉각시켜 발열소자의 성능저하 및 파손을 방지할 수 있는 수평형 박막 열전모듈을 이용한 발열소자 패키지를 제공하는데 그 목적이 있다.
- [0023] 본 발명의 또 다른 목적은 수평형 열전 모듈 제조시 열전반도체 박막과 실리콘과의 접합면을 최소화 시킬 수 있는 단열흡부를 형성하여 열전 모듈의 효율을 증대 시키는데 있다.

과제의 해결 수단

- [0024] 상기한 목적을 달성하기 위한 본 발명의 일 실시예에 따른 수평형 박막 열전모듈의 제조방법은, 실리콘 기판의 상면에 단열흡부를 형성하는 단계와 상기 실리콘 기판의 상면에 배치되고, 상기 단열흡부에 인접되게 전극을 증착하는 단계 및 상기 단열흡부의 상부에 복수의 P형 열전반도체 및 N형 열전반도체를 교대로 소정간격 이격되게 증착하여 상기 전극에 의해 상호 통전되게 하는 단계를 포함하는 것을 그 구성상의 특징으로 한다.
- [0025] 바람직하게는, 상기 단열흡부를 형성하는 단계는 상기 실리콘 기판의 상면에 감광성 수지를 코팅하여 감광성 수지층을 형성하는 단계와 상기 감광성 수지층에 노광 및 현상 공정을 수행하여 패턴을 형성하고 불필요한 감광성 수지층은 제거하는 단계와 제거된 상기 감광성 수지층을 통하여 노출된 상기 실리콘 기판을 식각하여 상기 실리콘 기판의 길이방향으로 평행되게 소정깊이를 갖는 복수의 단열흡을 형성하는 단계, 그리고 상기 실리콘 기판의 상면에 코팅된 감광성 수지층을 제거하는 단계를 포함할 수 있다.
- [0026] 여기서 상기 실리콘 기판은 심도반응성이온식각(Dep Reactive Ion Etching:DRIE)법에 의해 식각될 수 있다.
- [0027] 또한 상기 P형 열전반도체 및 N형 열전반도체는 각각 단열흡부가 형성된 상기 실리콘 기판의 상부에 교대로 증착될 수 있다.
- [0028] 상기 전극을 증착하는 단계는, 상기 실리콘 기판의 상면에 절연층을 형성하는 단계와 상기 절연층의 상면에 확산방지와 접합력 증가를 위하여 Ti 박막층을 증착하는 단계와 마스크를 상기 Ti 박막층의 상부에 배치하고, 상기 단열흡부의 양단에 소정간격 이격되어 대향되게 각각 전극을 증착하는 단계를 포함할 수 있다.
- [0029] 이때, 상기 절연층은 열산화법(Thermal oxidation) 또는 플라즈마 보강 기상 증착법(Plasma Enhanced Chemical Vapor Deposition:PE CVD)에 의해 형성될 수 있다.
- [0030] 본 발명의 다른 실시예에 따른 수평형 박막 열전모듈의 제조방법은, 실리콘 기판의 상면에 소정간격 이격되게 복수의 열전반도체 안착부를 형성하는 단계와 상기 열전반도체 안착부의 하부에 단열흡부를 형성하는 단계와 상기 열전반도체 안착부에 내재되게 복수의 P형 열전반도체 및 N형 열전반도체를 교대로 증착하는 단계 그리고 상기 P형 열전반도체 및 N형 열전반도체가 상호 통전되게 상기 P형 열전반도체 및 N형 열전반도체의 상면에 각각 전극을 증착하는 단계를 포함하는 것을 그 구성상의 특징으로 한다.
- [0031] 여기서 상기 열전반도체 안착부를 형성하는 단계는, 상기 실리콘 기판의 상면에 실리콘 나이트라이드 박막층을 형성하는 단계와 상기 실리콘 나이트라이드 박막층 상면에 감광성 수지를 코팅하여 감광성 수지층을 형성하는 단계와 상기 감광성 수지층에 노광 및 현상 공정을 수행하여 패턴을 형성하고 불필요한 감광성 수지층은 제거하는 단계와 제거된 상기 감광성 수지층의 패턴에 따라 드러난 실리콘 나이트라이드 박막층을 식각하여 제거하고 그 후 실리콘 기판을 식각하여 상기 실리콘 기판의 길이방향으로 평행되게 소정깊이를 갖는 흡을 형성하는 단계 그리고 식각된 상기 실리콘 기판의 상면에 절연층을 증착하는 단계를 포함할 수 있다.
- [0032] 상기 실리콘 나이트라이드 박막층은 저압 화학 기상 증착(Low Pressure CVD: LP CVD)법에 의해 형성될 수 있다.
- [0033] 상기 실리콘 나이트라이드 박막은 건식 식각 (dry etching)법에 의해 식각 될 수 있으며, 상기 실리콘 기판은

습식 식각(wet etching)법에 의해 식각될 수 있다.

- [0034] 그리고 상기 열전반도체 안착부를 형성하는 홈은 실리콘 기판의 아래방향으로 점층적으로 폭이 감소되도록 테이퍼지게 형성될 수 있다.
- [0035] 한편 상기 단열홈부를 형성하는 단계는 상기 열전반도체 안착부의 상면에 감광성 수지를 코팅하여 감광성 수지층을 형성하는 단계와 상기 감광성 수지층에 노광 및 현상 공정을 수행하여 패턴을 형성하고 불필요한 감광성 수지층을 제거하는 단계와 제거된 상기 감광성 수지층을 통하여 노출된 상기 실리콘 기판을 식각하여 상기 열전반도체 안착부의 하부에 상기 실리콘 기판의 길이방향으로 평행하게 소정깊이를 갖는 복수의 홈을 형성하는 단계 그리고 상기 열전반도체 안착부의 상면에 코팅된 감광성 수지층을 제거하는 단계를 포함할 수 있다.
- [0036] 이때 상기 복수의 단열홈은 심도반응성이온식각(DRIE)법에 의해 식각될 수 있다.
- [0037] 또한 상기 전극을 증착하는 단계는 실리콘 기판의 상면에 제거되지 않고 남아있는 실리콘 나이트라이드 박막층을 제거하는 단계와 마스크를 실리콘 기판, P형 열전반도체 및 N형 열전반도체의 상부에 배치하고, 상기 P형 열전반도체 및 N형 열전반도체의 길이방향의 양단에 소정간격 이격되어 대향되게 각각 전극을 증착하는 단계를 포함할 수 있다.
- [0038] 본 발명의 수평형 박막 열전모듈을 이용한 발열소자 패키지는, 실리콘 기판의 상면에 설치되거나 실리콘 기판에 내재되게 설치된 발열소자의 일측에 상기 제조방법으로 제조된 복수의 수평형 박막 열전모듈이 수평방향으로 소정간격 이격되게 설치되는 것을 그 구성상의 특징으로 한다.
- [0039] 또한 본 발명은 상기 발열소자 패키지를 복수 개 적층하여 적층형으로 형성할 수도 있다.

발명의 효과

- [0040] 본 발명에서 제안하고 있는 수평형 박막 열전모듈의 제조방법 및 이를 이용한 발열소자 패키지에 따르면, 열전반도체인 P형 열전반도체 및 N형 열전반도체를 실리콘 기판의 상면에 수평으로 증착하거나, 실리콘 기판에 수평으로 내재되게 설치한 수평형 박막 열전모듈을 제조하여 이를 발열소자 패키지에 결합시켜 발열소자 패키지의 크기를 콤팩트하게 할 수 있는 효과가 있다.
- [0041] 또한, 본 발명에 따른 수평형 박막 열전모듈을 이용하여 발열소자에서 발생하는 열을 외부로 직접 방출하는 능동냉각이 가능하여 방열을 위한 공간을 최소화할 수 있는 효과가 있다. 이에 따라, 열에 의한 발열소자의 성능저하 및 파손을 방지할 수 있다.
- [0042] 실리콘 기판에 단열홈부를 제작하고 그 위에 열전반도체 박막을 증착하므로, 열전 박막과 실리콘과의 접촉을 최소화 할 수 있다. 또한 단열홈부에 내포되는 공기는 열전도율이 낮으므로 열전 모듈의 효율을 증가 시킬 수 있다.

도면의 간단한 설명

- [0043] 도 1은 일반적인 이중 반도체를 이용한 열전 모듈을 도시한 사시도이다.
- 도 2a는 본 발명의 실시예1에 따라 감광성 수지층이 형성된 상태를 나타내는 단면도이다.
- 도 2b는 본 발명의 실시예1에 따라 감광성 수지층에 마스크를 배열하고, 자외선을 가하여 감광성 수지층을 제거한 상태를 나타내는 단면도이다.
- 도 2c는 본 발명의 실시예1에 따라 DRIE법을 이용하여 실리콘 기판을 식각한 상태를 나타내는 단면도이다.
- 도 2d는 본 발명의 실시예1에 따라 감광성 수지층을 제거한 상태를 나타내는 단면도이다.
- 도 2e는 본 발명의 실시예1에 따라 절연층을 형성한 상태를 나타내는 단면도이다.
- 도 2f는 본 발명의 실시예1에 따라 Ti 박막층을 증착한 상태를 나타내는 단면도이다.
- 도 2g는 본 발명의 실시예1에 따라 전극을 증착한 상태를 나타내는 단면도이다.

- 도 2h는 본 발명의 실시예1에 따라 전극을 증착한 상태를 나타내는 평면도이다.
- 도 2i는 본 발명의 실시예1에 따라 P형 열전반도체 및 N형 열전반도체를 증착한 상태를 나타내는 단면도이다.
- 도 2j는 본 발명의 실시예1에 따라 P형 열전반도체 및 N형 열전반도체를 증착한 상태를 나타내는 평면도이다.
- 도 3a는 본 발명의 실시예2에 따라 실리콘 나이트라이드 박막층을 형성한 상태를 나타내는 단면도이다.
- 도 3b는 본 발명의 실시예2에 따라 실리콘 나이트라이드 박막층의 상면에 감광성 수지층을 코팅한 상태를 나타내는 단면도이다.
- 도 3c는 본 발명의 실시예2에 따라 감광성 수지층에 마스크를 배열하고, 자외선을 가하여 감광성 수지층을 제거한 상태를 나타내는 단면도이다.
- 도 3d는 본 발명의 실시예2에 따라 실리콘 기판에 열전반도체 안착부를 형성한 상태를 나타내는 단면도이다.
- 도 3e는 본 발명의 실시예2에 따라 열전반도체 안착부의 하면에 절연층을 증착한 상태를 나타내는 단면도이다.
- 도 3f는 본 발명의 실시예2에 따라 열전반도체 안착부의 상면에 감광성 수지층을 형성한 상태를 나타내는 단면도이다.
- 도 3g는 본 발명의 실시예2에 따라 감광성 수지층에 마스크를 배열하고, 자외선을 가하여 감광성 수지층을 제거한 상태를 나타내는 단면도이다.
- 도 3h는 본 발명의 실시예2에 따라 DRIE법을 이용하여 실리콘 기판을 식각한 상태를 나타내는 단면도이다.
- 도 3i는 본 발명의 실시예2에 따라 감광성 수지층을 제거한 상태를 나타내는 단면도이다.
- 도 3j는 본 발명의 실시예2에 따라 실리콘 기판에서 실리콘 나이트라이드 박막층을 제거한 상태를 나타내는 단면도이다.
- 도 3k는 본 발명의 실시예2에 따라 열전반도체 안착부에 P형 열전반도체 및 N형 열전반도체를 증착한 상태를 나타내는 단면도이다.
- 도 3l는 본 발명의 실시예2에 따라 P형 열전반도체 및 N형 열전반도체의 양단에 전극을 증착한 상태를 나타내는 단면도이다.
- 도 3m은 본 발명의 실시예2에 따라 P형 열전반도체 및 N형 열전반도체의 양단에 전극을 증착한 상태를 나타내는 평면도이다.
- 도 4a는 본 발명의 실시예3에 따른 수평형 박막 열전모듈을 이용한 발열소자 패키지를 나타내는 단면도이다.
- 도 4b는 본 발명의 실시예3에 따른 수평형 박막 열전모듈을 이용한 발열소자 패키지를 나타내는 평면도이다.
- 도 4c는 본 발명의 실시예3에 따른 수평형 박막 열전모듈을 이용한 적층형 발열소자 패키지를 나타내는 단면도이다.
- 도 5a는 본 발명의 실시예4에 따른 수평형 박막 열전모듈을 이용한 발열소자 패키지를 나타내는 단면도이다.
- 도 5b는 본 발명의 실시예4에 따른 수평형 박막 열전모듈을 이용한 발열소자 패키지를 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0044] 이하에서는 첨부된 도면들을 참조하여, 본 발명의 각 실시예들을 상세하게 설명한다.

실시예 1

[0045] 도 2a 내지 도 2i는 본 발명의 실시예1에 따른 수평형 박막 열전모듈의 제조방법을 나타내는 도면이다.

[0046] 실시예1은 실리콘 기판(110)에 열전반도체인 P형 열전반도체(140)와 N형 열전반도체(150)가 수평으로 누워져 배치되도록 증착하고, 상호 직렬로 연결된 수평형 박막 열전모듈(100)을 제조하는 방법에 관한 것이다.

[0047] 좀 더 구체적으로 설명하면 실시예1은 실리콘 기판(110)의 상면에 단열흡부(120)를 형성하는 단계와, 상기 실리콘 기판(110)의 상면에 배치되고, 상기 단열흡부(120)에 인접되게 전극(130)을 증착하는 단계와, 상기 단열흡부

(120)의 상부에 복수의 P형 열전반도체(140) 및 N형 열전반도체(150)를 교대로 소정간격 이격되게 증착하여 상기 전극(130)에 의해 상호 통전되게 하는 단계를 포함할 수 있다.

[0048] 이와 같이, 실리콘 기판(110)의 상면에 열전반도체인 P형 열전반도체(140)와 N형 열전반도체(150)를 수평으로 증착하면 실리콘 기판(110)의 상면에 설치되는 발열소자에서 발생하는 열을 외부로 직접 방출하는 능동냉각을 할 수 있다.

[0049] 상기 단열홈부(120)를 형성하는 단계를 설명하면 아래와 같다.

[0050] 먼저 도 2a에서 도시된 바와 같이 실리콘 기판(110)의 상면에 감광성 수지(Photoresist)를 코팅하여 감광성 수지층(121)을 형성한다. 여기에서 실리콘 기판(110)은 예를 들면 550 μ m 두께의 실리콘 웨이퍼를 이용할 수 있다. 감광성 수지층(121)은 액상인 감광성 수지를 높은 회전수로 회전시켜 균일한 얇은 막의 형태로 실리콘 기판(110) 전체에 도포시키는 스핀 코팅방식으로 증착한 후에 일정온도에서 선굽기(Prebaking) 공정을 통해 형성할 수 있다.

[0051] 다음으로 감광성 수지층(121) 상에 천공된 마스크(123)를 배치한다. 그리고 도 2b에서 도시된 바와 같이 자외선을 조사하여 감광성 수지층(121) 중 자외선에 노출된 부분을 제거할 수 있다. 이에 따라, 실리콘 기판(110)에 있어서 자외선에 노출된 감광성 수지층(121)이 제거되고 나머지 부분에만 감광성 수지층(121)이 남게 된다.

[0052] 다음으로, 도 2c에서 도시된 바와 같이 제거된 감광성 수지층(121)을 통하여 노출된 실리콘 기판(110)을 식각하여 실리콘 기판(110)의 길이방향으로 평행되게 소정깊이를 갖는 복수의 단열홈(125)을 형성할 수 있다. 이때, 실리콘 기판(110)을 식각하는 방법으로는 실리콘 기판(110)의 깊은 부분까지 식각이 가능하게 심도반응성이온식각(Dep Reactive Ion Etching: DRIE)법을 사용할 수 있다.

[0053] 이에 따라, 실리콘 기판(110)에 형성된 복수의 단열홈(125)은 상기 실리콘 기판(110)의 상면에서 소정깊이를 가지며 실리콘 기판(110)의 길이방향, 예를 들면 실리콘 기판(110)의 가로방향 또는 세로방향으로 복수의 단열홈(125)이 연속하여 형성될 수 있다.

[0054] 본 발명에서는 상기와 같이 실리콘 기판(110)에 단열홈(125)이 복수로 모여 연속하여 형성되어 있는 부분을 단열홈부(120)로 통칭한다.

[0055] 단열홈(125)의 상부에는 후술하게 될 P형 열전반도체(140) 및 N형 열전반도체(150)가 증착되어 단열홈(125) 내부에 공기가 갇히게 된다. 갇힌 공기는 단열역할을 한다.

[0056] 상기 단열홈(125)은 폭이 약 5 μ m 크기를 가지며, 깊이는 50 μ m 이상을 갖도록 형성하는 것이 바람직하다. 또한, 상기 복수의 단열홈(125)은 상부에 증착되는 P형 열전반도체(140) 및 N형 열전반도체(150)의 크기에 따라 그 개수를 달리하여 형성할 수 있다.

[0057] 다음으로, 도 2d에서 도시된 바와 같이 실리콘 기판(110)의 상면에 코팅된 감광성 수지층(121)을 제거한다.

[0058] 전극(130)을 증착하는 단계를 설명하면 아래와 같다.

[0059] 먼저 도 2e에서 도시된 바와 같이 실리콘 기판(110)의 상면에 절연층(131)을 형성할 수 있다. 절연층(131)은 실리콘 기판(110)의 상면과 단열홈부(120) 내면에 열산화법(Thermal oxidation) 또는 플라즈마 보강 기상 증착법(Plasma Enhanced Chemical Vapor Deposition:PECVD) 등에 의해 실리콘 산화막(SiO₂)을 형성하여 사용할 수 있다.

[0060] 다음으로, 도 2f에서 도시된 바와 같이 상기 절연층(131)의 상면에 Ti 박막층(133)을 증착 형성하는 것이 바람직하다. 통상 Ti 박막층은 스퍼터링 공정을 사용하여 형성할 수 있으며 증착시 단열홈(125) 내부까지 증착되지는 않는다.

[0061] Ti 박막층(133)은 추후 Ti 박막층(133) 상부에 증착되는 물질과 실리콘 기판(110)간의 확산을 방지하고 접합력

을 증가시키는 역할을 한다.

- [0062] 이후 마스크(135)를 Ti 박막층(133)의 상부에 배치하고, 전극(130)을 각각 상기 단열홈부(120)의 양단에 소정간격 이격시켜 증착한다. 상기 전극(130)은 P형 열전반도체(140) 및 N형 열전반도체(150)의 상면 또는 하면에 증착될 수 있다. 즉 복수의 단열홈(125)이 실리콘 기관(110)의 가로방향 또는 세로방향으로 연속하여 형성되어 단열홈부(120)를 이룬 경우, 도 2g 및 도 2h에서 도시된 바와 같이 단열홈부(120)의 좌우측 끝부분에 각각 전극(130)을 증착할 수 있다.
- [0063] 상기 전극(130)을 증착한 후에는 마스크(135)를 제거한다.
- [0064] 다음으로, 도 2i 및 도 2j에서 도시된 바와 같이, 실리콘 기관(110)의 상면에 전극(130)을 형성한 후에는 상기 전극(130)의 상면 및 단열홈부(120)의 상부에 P형 열전반도체(140) 또는 N형 열전반도체(150)를 교대로 배치하여 전극(130)을 통해 P형 열전반도체(140)와 N형 열전반도체(150)를 통전시킬 수 있다.
- [0065] 이때 P형 열전반도체(140) 및 N형 열전반도체(150)를 수평형 박막형태로 제조하기 위하여 전극(130)의 상부 및 실리콘 기관(110)의 상부에 마스크를 배치한 후 스퍼터(sputter) 또는 이베퍼레이터(evaporator)를 이용하여 단열홈부(125)가 형성된 실리콘 기관(110)의 상부에 P형 열전반도체(140) 및 N형 열전반도체(150)를 교대로 증착한다.
- [0066] 증착 후에 마스크를 제거하면 도 2j에 도시된 형태의 열전 모듈을 얻을 수 있게 된다.
- [0067] 이렇게 P형 열전반도체(140)와 N형 열전반도체(150)를 교대로 단열홈부(120)의 상부에 배치함으로써 수평형 박막열전모듈이 형성되면, 도 4b에 도시된 것처럼 상기 열전모듈을 발열소자에 인접하여 배치함으로써, 발열소자에서 발생하는 열을 외부로 직접 뽑아내는 능동냉각을 할 수 있다.
- [0068] 따라서 본 발명의 실시예1에 따라 제조되는 수평형 박막 열전모듈(100)에 의해 발열소자 또는 적층 발열소자의 작동 중 발생하는 열에 의한 발열소자의 성능저하 및 과손을 방지할 수 있다.

실시예 2

- [0069] 도 3a 내지 도 3m은 본 발명의 실시예2에 따른 수평형 박막 열전모듈의 제조방법을 나타내는 도면이다.
- [0070] 실시예2는 실리콘 기관(210)에 열전반도체인 P형 열전반도체(240)와 N형 열전반도체(250)가 수평으로 내재되게 증착하고, P형 열전반도체(240)와 N형 열전반도체(250)를 상호 직렬로 연결하여 발열소자에서 발생하는 열을 직접 방출할 수 있는 수평형 박막 열전모듈(200)의 제조방법에 관한 것이다.
- [0071] 좀 더 구체적으로 설명하면 실리콘 기관(210)의 상면에 소정간격 이격되게 복수의 열전반도체 안착부(220)를 형성하는 단계와, 상기 열전반도체 안착부(220)의 하부에 단열홈부(230)를 형성하는 단계와, 상기 열전반도체 안착부(220)에 내재되게 복수의 P형 열전반도체(240) 및 N형 열전반도체(250)를 교대로 증착하는 단계와, 상기 P형 열전반도체(240) 및 N형 열전반도체(250)가 상호 통전되게 상기 P형 열전반도체(240) 및 N형 열전반도체(250)의 상면에 각각 전극(260)을 증착하는 단계를 포함하여 수평형 박막 열전모듈(200)의 제조하는 방법이다.
- [0072] 이와 같이, 실리콘 기관(210)에 내재되게 P형 열전반도체(240)와 N형 열전반도체(250)를 수평형 박막으로 증착하여 실리콘 기관(210)에 내재되게 설치되는 발열소자에서 발생하는 열을 외부로 직접방출하는 능동냉각을 할 수 있다.
- [0073] 상기 열전반도체 안착부(220)를 형성하는 단계를 설명하면 아래와 같다.
- [0074] 먼저, 도 3a에서 도시된 바와 같이 실리콘 기관(210)의 상면에 실리콘 나이트라이드(Silicon Nitride; 질화실리콘(Si₃N₄) 등) 박막층(221)을 형성할 수 있다. 실리콘 나이트라이드 박막층(221)은 식각공정시 실리콘 기관(210)의 보호막으로 사용된다.
- [0075] 실리콘 나이트라이드 박막층(221)은 저압 화학 기상증착(Low Pressure CVD: LPCVD)법에 의해 형성할 수 있다.

저압 화학 기상증착법은 가스상태에서의 반응이 일어나는 것을 현저하게 줄여주므로 가스 입자 상태로 존재하는 불순물들과의 반응이 격감하여 불순물을 감소시킬 수 있다.

- [0076] 다음으로, 도 3b에서 도시된 바와 같이 실리콘 나이트라이드 박막층(221) 상면에 감광성 수지를 코팅하여 감광성 수지층(223)을 형성한다. 감광성 수지층(223)은 액상인 감광성 수지를 높은 회전수로 회전시켜 균일한 얇은 막의 형태로 실리콘 나이트라이드 박막층(221) 위에 도포시키는 스핀 코팅방식으로 증착할 수 있다.
- [0077] 다음으로, 도 3c에서 도시된 바와 같이 감광성 수지층(223) 상에 친공된 마스크(225)를 배치하고 자외선을 조사하는 노광공정과 현상공정을 차례로 진행한다. 이 후 자외선에 노출된 감광성 수지층(223)이 제거되고 나머지 부분에만 감광성 수지층(223)이 남게 된다. 감광성 수지층이 제거된 부분은 실리콘 나이트라이드 박막층이 드러나게 되는데, 이는 건식 식각(dry etching)법을 사용하여 제거할 수 있으며, 결국 실리콘 기판(210)의 표면이 드러나게 된다.
- [0078] 다음으로, 마스크와 마스크하단에 감광성 수지층(223)을 제거하면 남아 있는 나이트라이드 박막층(221)이 마스크 역할을 하게 되는데, 이 상태에서 도 3d에서 도시된 바와 같이 노출된 실리콘 기판(210) 부분을 식각하면, 실리콘 기판(210)의 세로방향 또는 가로방향을 따라 평행하게 소정깊이를 갖는 홈(227)을 형성할 수 있다. 이러한 홈(227)은 결국 P형 열전반도체(240) 및 N형 열전반도체(250)가 증착되어 안착되는 열전반도체 안착부(220)가 된다.
- [0079] 상기 실리콘 기판(210)의 식각은 수산화칼륨(KOH)을 이용한 습식 식각(wet etching)법을 이용할 수 있다.
- [0080] 상기 홈(227)은 실리콘 기판(210)의 아래방향으로 점층적으로 폭이 감소되도록 테이퍼지게 형성될 수 있다. 후술하는 바와 같이 테이퍼지게 형성된 홈(227)에는 P형 열전반도체(240) 및 N형 열전반도체(250)가 증착된다, 테이퍼지게 형성된 홈(227)은 물리적으로 P형 열전반도체(240) 및 N형 열전반도체(250)의 증착이 용이하며, 증착 결과 상기 P형 열전반도체(240) 및 N형 열전반도체(250)는 열전반도체 안착부(220)에 내재된다.
- [0081] 다음으로, 도 3e에서 도시된 바와 같이 식각된 실리콘 기판(210)의 상면, 즉 열전반도체 안착부(220)의 하면에 절연층(229)을 증착할 수 있다. 절연층(229)은 열산화법(Thermal oxidation) 또는 플라즈마 보강 기상 증착법(Plasma Enhanced Chemical Vapor Deposition:PECVD)에 의해 형성된 실리콘 산화막(SiO₂)을 사용할 수 있다.
- [0082] 한편, 단열홈부(230)를 형성하는 단계를 설명하면 아래와 같다.
- [0083] 먼저 도 3f에 도시된 바와 같이 열전반도체 안착부(220)의 상면에 감광성 수지를 코팅하여 감광성 수지층(231)을 형성할 수 있다. 감광성 수지층(231)은 액상인 감광성 수지를 높은 회전수로 회전시켜 균일한 얇은 막의 형태로 실리콘 기판(210)에 도포시키는 스핀 코팅방식으로 증착한 후에 일정온도에서 선굽기(Prebaking)공정을 통해 형성할 수 있다.
- [0084] 다음으로, 감광성 수지층(231)을 노광, 현상하여 자외선에 노출된 감광성 수지층을 제거하면 도 3g에서 도시된 바와 같이 단열홈부를 식각하기 위한 마스크 역할을 하는 패터된 감광성 수지층(231)이 남게 된다.
- [0085] 다음으로, 도 3h에서 도시된 바와 같이 패터된 감광성 수지층(231)을 이용하여 실리콘 기판(210)을 식각하여 열전반도체 안착부(220)의 하부에서 연장되어 소정깊이를 가지며, 실리콘 기판(210)의 길이방향으로 복수의 단열홈(235)들을 형성한다.
- [0086] 그리고 본 실시예에서 상기와 같이 실리콘 기판(110)에 단열홈(235)이 복수로 모여 연속하여 형성되어 있는 부분을 단열홈부(230)로 통칭하기로 한다.

- [0087] 실리콘 기판(210)에 단열층(235)을 형성하기 위하여, 이 실리콘 기판(210)의 아래방향으로 소정깊이 수직되게 형성되도록 심도반응성이온식각(Deep Reactive Ion Etching: DRIE)법을 사용할 수 있다. 심도반응성이온 식각법은 실리콘 기판(210)의 깊은 부분까지 식각이 가능하게 한다.
- [0088] 실리콘 기판(210)의 단열층(235)은 상기 열전반도체 안착부(220)의 하면에서 소정깊이를 가지며 실리콘 기판(210)의 길이방향으로 상기 열전반도체 안착부(220)의 하면을 따라 연속되게 형성하여 단열층부(230)를 이루도록 한다.
- [0089] 상기 단열층(235)의 크기, 성질, 역할 등은 앞서 설명한 실시예의 단열층(125)과 동일하다.
- [0090] 도 3i는 실리콘 기판(210)의 상면에 패터닝 감광성 수지층(231)을 제거하여 절연층(229)이 드러나도록 한 상태를 도시한 것이다.
- [0091] 전극(260)을 증착하는 단계를 설명하면 다음과 같다.
- [0092] 먼저, 도 3j의 도면은 도 3i의 도면에서 실리콘 기판(210)의 상면에 증착된 실리콘 나이트라이드 박막층(221)을 제거한 상태를 보여준다. 실리콘 나이트라이드 박막층(221)은 실리콘 기판(210)에 열전반도체 안착부(220)를 형성하기 전에 도포된 것으로서, 열전반도체 안착부(220) 및 단열층부(230)를 형성하는 과정에서 실리콘 기판(210)을 보호하는 역할을 한 것이다.
- [0093] 다음으로, 도 3k에서 도시된 바와 같이, 마스크(241)를 실리콘 기판(210)의 상면에 배치하여 실리콘 기판(210) 및 열전반도체 안착부(220)에 내재되게 복수의 P형 열전반도체(240) 및 N형 열전반도체(250)를 교대로 증착한다. 마스크(241)는 P형 열전반도체(240) 및 N형 열전반도체(250) 증착용이 각각 별도로 구비된다.
- [0094] 다음으로, 도 3l에 도시된 바와 같이, 마스크(261)를 실리콘 기판(210), P형 열전반도체(240) 및 N형 열전반도체(250)의 상부에 배치하고, 상기 P형 열전반도체(240) 및 N형 열전반도체(250)의 길이방향의 양단에 소정간격 이격되어 대향되게 각각 전극(260)을 증착할 수 있다.
- [0095] 도 3m에 도시된 것처럼 상기 전극(260)은 P형 열전반도체(240) 및 N형 열전반도체(250)의 상면 또는 하면에 증착될 수 있다. 가령, 실리콘 기판(210)의 길이방향을 따라 형성된 열전반도체 안착부(220)에 내재되게 증착되는 P형 열전반도체(240) 및 N형 열전반도체(250)의 양단에 각각 전극(260)을 증착할 수 있다. 이로써, P형 열전반도체(240) 또는 N형 열전반도체(250)를 복수의 열전반도체 안착부(220)에 교대로 배치하고 전극(260)을 통해 P형 열전반도체(240)와 N형 열전반도체(250)를 통전시키게 된다. 전극(260)을 증착한 후에는 마스크(261)를 제거한다.
- [0096] 상기한 바와 같이, P형 열전반도체(240) 및 N형 열전반도체(250)를 교대로 실리콘 기판(210)의 열전반도체 안착부(220)에 내재되게 증착하고, 실리콘 기판(210)에 내재되게 설치되는 발열소자에 인접하게 설치함으로써, 발열소자에서 발생하는 열을 외부로 직접 뿜아내는 능동 냉각을 할 수 있다. 따라서 본 발명의 다른 실시예에 따라 제조되는 수평형 박막 열전모듈(200)에 의해 발열소자의 작동 중 발생하는 열에 의한 반도체 칩의 성능저하 및 파손을 방지할 수 있다.

실시예 3

- [0097] 도 4a는 본 발명의 실시예3에 따른 수평형 박막 열전모듈을 이용한 발열소자 패키지를 나타내는 단면도이고, 도 4b는 본 발명의 실시예3에 따른 수평형 박막 열전모듈을 이용한 발열소자 패키지를 나타내는 평면도이다. 도 4c는 상기 발열소자 패키지를 2단으로 쌓아올린 적층형 발열소자 패키지를 나타내는 단면도이다.

- [0098] 도 4a 및 도 4b를 참고하면, 본 발명의 실시예3에 따른 수평형 박막 열전모듈을 이용한 발열소자 패키지(300)는, 실리콘 기관(310)의 상면에 설치되는 발열소자(320)와, 상기 발열소자(320)의 일측에 설치되어 발열소자(320)에서 발생하는 열을 방출하는 복수의 수평형 박막 열전모듈(330)을 포함할 수 있다.
- [0099] 상기 발열소자 패키지(300)에 전압이 인가되면 수평형 박막 열전모듈(330)에 전류가 흐르게 되고, 펠티에 효과에 의해 열전모듈(330)의 일측에서는 발열이 타측에서는 흡열이 이루어진다.
- [0100] 상기 발열소자 패키지(300)에서 발열소자(320)에 수평되게 실리콘 기관(310)에 설치되는 수평형 박막 열전모듈(330)은 발열소자(320)와 인접하는 부분이 흡열부가 되고, 발열소자(320)에서 멀어지는 부분이 발열부가 되도록 전극(340)을 연결한다. 흡열부와 발열부는 전극(340)의 연결에 따라 달라질 수 있으므로 이에 맞도록 전극(340)을 연결 한다.
- [0101] 가령, 도 4a 및 도 4b에서 도시된 바와 같이, 발열소자(320)의 좌측에 상기 발열소자(320)에 인접되게 제1열전모듈(331)을 설치할 수 있다. 이때, 열의 이동은 전자나 정공의 이동방향과 같으므로 수평형 박막 제1열전모듈(331)에 있어서 발열소자(320)에 인접하는 도면상으로 제1열전모듈(331)의 우측이 흡열부가 되고, 제1열전모듈(331)의 좌측이 발열부가 되도록 전극(340)을 연결한다.
- [0102] 즉, P형 열전반도체(350)에는 (-)극을 연결하고, N형 열전반도체(360)에는 (+)극을 연결하면 제1열전모듈(331)은 발열소자에 인접된 우측부가 흡열부가 되고 실리콘 기관(310)의 끝단에 해당되는 좌측부가 발열부가 된다. 상기와 같이 구성된 제1열전모듈(331)의 흡열부에서는 발열소자(320)에 설치된 발열소자에서 발생하는 열을 흡수하고, 상기 열은 발열부로 전달되어 발열소자 패키지(300)의 외부로 방출된다.
- [0103] 한편, 실리콘 기관(310)에 설치되는 발열소자(320)의 주변에는 다수의 열전모듈을 더 설치할 수 있다. 도 4a 및 도 4b에서 도시된 바와 같이, 상기 발열소자(320)의 우측에 제2열전모듈(333)을 더 설치하는 경우 제2열전모듈(333)은 발열소자(320)에 인접되는 상기 제2열전모듈(333)의 좌측부가 흡열부가 되고, 우측부가 발열부가 되도록 전극(340)을 연결한다. 상기와 같이 구성된 제2열전모듈(333)의 흡열부에서는 발열소자(320)에 설치된 발열소자에서 발생하는 열을 흡수하고, 상기 열은 발열부로 전달되어 발열소자 패키지(300)의 외부로 방출된다.
- [0104] 상기와 같이 수평형 박막 열전모듈(330)을 이용하여 발열소자 패키지(300)를 구성함으로써, 발열소자 패키지(300)의 크기를 최소화할 수 있고 각각의 발열소자에서 발생하는 열을 효율적으로 배출할 수 있으며, 발생된 열로 인한 발열소자의 과손 및 성능저하를 방지할 수 있다.
- [0105] 도4c는 상기 실시예3을 이용하여 구성한 적층형 발열소자 패키지의 단면도를 도시한 도면이다.
- [0106] 도4c에 도시된 적층형 반도체칩 패키지는 상기 실시예3에서 설명한 발열소자 패키지를 2단으로 적층하여 형성한 형태이다. 물론 필요에 따라 발열소자 패키지를 2단 이상으로 적층할 수 있다.
- [0107] 적층 발열소자 패키지에 전압이 인가되면 제1 및 제2열전모듈(331,333)에 전류가 흐르게 되고 펠티에 효과에 의해 제1 및 제2열전모듈(331,333) 일측에서는 발열이 타측에서는 흡열이 이루어진다. 그러므로 전극은 도면상으로 제1 및 제2열전모듈(331)의 발열소자가 있는 쪽이 흡열부가 되고, 그 반대쪽이 발열부가 되도록 연결한다.
- [0108] 상기와 같이 구성된 경우 제1 및 제2열전모듈(331,333)의 흡열부에서는 흡수한 열은 도4c에 도시된 것처럼 반대편 발열부를 통하여 적층 반도체칩 패키지의 외부로 용이하게 배출할 수 있게 된다.
- [0109] 또한 도4c에 도시된 적층형 반도체칩 패키지의 제1 및 제2열전모듈(331,333)들은 P형 및 N형 열전 반도체들이 수평으로 누워 있기 때문에, 종래 P형 및 N형 열전 반도체를 수직형 세워 구성된 열전모듈들보다 적층두께를 현저하게 감소시킬 수 있게 된다.

실시예 4

- [0110] 이하에서는 첨부된 도면들을 참조하여, 본 발명의 실시예4에 따른 수평형 박막 열전모듈을 이용한 발열소자 패

키지에 대하여 상세하게 설명하기로 한다.

- [0111] 도 5a는 실시예4에 따른 수평형 박막 열전모듈을 이용한 발열소자 패키지를 나타내는 단면도이고, 도 5b는 실시예4에 따른 수평형 박막 열전모듈을 이용한 발열소자 패키지를 나타내는 평면도이다.
- [0112] 도 5a 및 도 5b를 참고하면, 실시예4에 따른 수평형 박막 열전모듈을 이용한 발열소자 패키지(400)는, 실리콘 기판(410)에 내재되게 설치된 발열소자(420)과, 상기 발열소자(420)의 일측에 수평방향으로 소정간격 이격되어 실리콘 기판(410)에 내재되게 설치되고 발열소자(420)에서 발생하는 열을 방출하는 복수의 수평형 박막 열전모듈(430)을 포함할 수 있다. 상기 발열소자 패키지(400)에 전압이 인가되면 수평형 박막 열전모듈(430)에 전류가 흐르게 되고, 펠티에 효과에 의해 열전모듈(430)의 일측에서는 발열이 타측에서는 흡열이 이루어진다.
- [0113] 상기 발열소자 패키지(400)에서 발열소자(420)에 수평되게 실리콘기판에 설치되는 수평형 박막 열전모듈(430)은 발열소자(420)과 소정간격 이격되어 인접하는 부분이 흡열부가 되고, 발열소자(420)에서 멀어지는 부분이 발열부가 되도록 전극(440)을 연결한다. 흡열부와 발열부는 전극(440)의 연결에 따라 달라질 수 있으므로 이에 맞도록 전극(440)을 연결하도록 한다.
- [0114] 도 5a 및 도 5b에서 도시된 바와 같이, 발열소자(420)의 좌측에 상기 발열소자(420)에 인접되게 제3열전모듈(431)을 설치할 수 있다.
- [0115] 이때, 열의 이동은 전자나 정공의 이동방향과 같으므로 수평형 박막 제3열전모듈(431)에 있어서 발열소자(420)에 인접하는 제3열전모듈(431)의 우측이 흡열부가 되고, 제3열전모듈(431)의 좌측이 발열부가 되도록 전극(440)을 연결한다. 즉, P형 열전반도체(450)에는 (-)극을 연결하고, N형 열전반도체(460)에는 (+)극을 연결하면 제3열전모듈(431)은 발열소자에 인접된 우측부가 흡열부가 되고 실리콘 기판(410)의 끝단에 해당되는 좌측부가 발열부가 된다.
- [0116] 상기와 같이 구성된 제3열전모듈(431)의 흡열부에서는 발열소자(420)에 설치된 발열소자에서 발생하는 열을 흡수하고, 상기 열은 발열부로 전달되어 발열소자 패키지(400)의 외부로 방출된다.
- [0117] 한편, 실리콘 기판(410)에 설치되는 발열소자(420)의 주변에는 다수의 열전모듈을 더 설치할 수 있다. 도 5a 및 5b에서 도시된 바와 같이, 상기 발열소자(420)의 우측에 제4열전모듈(433)을 더 설치하는 경우 제4열전모듈(433)은 발열소자(420)에 인접되는 상기 제4열전모듈(433)의 좌측부가 흡열부가 되고, 우측부가 발열부가 되도록 전극(440)을 연결한다. 상기와 같이 구성된 제4열전모듈(433)의 흡열부에서는 발열소자(420)에 설치된 발열소자에서 발생하는 열을 흡수하고, 상기 열은 발열부로 전달되어 발열소자 패키지(400)의 외부로 배출된다.
- [0118] 상기와 같이 발열소자 패키지(400)를 구성함으로써, 발열소자 패키지(400)의 크기를 최소화할 수 있고 각각의 발열소자에서 발생하는 열을 효율적으로 배출할 수 있으며, 열 발생으로 인한 발열소자의 파손 및 성능저하를 방지할 수 있다.
- [0119] 한편 실시예4의 발열소자 패키지(400)도 앞서 설명한 실시예3과 동일한 방법으로 적층형으로 구성할 수 있다.
- [0120] 이에 따라 각 발열소자간의 열전도를 더욱 원활하게 되어 작동 중 발생하는 열을 능동냉각시키고 아울러 실리콘 기판에 발열소자과 수평형 박막 열전모듈의 설치를 용이하게 하며, 발열소자 패키지의 사이즈를 최소화할 수 있다.
- [0121] 상기에서 본 발명의 예시로 수평형 박막 열전모듈을 이용한 발열소자 패키지를 예로 들었지만, 본 발명은 상술한 설명에 따라 더 많은 수평형 박막 열전모듈이 설치된 발열소자 패키지의 효율적인 방열을 위하여 사용될 수 있다
- [0122] 또한, 상기에 설명한 예에서는 본 발명에 따라 제조된 수평형 박막 열전모듈이 설치되는 발열소자 패키지에 사용되는 경우에 대하여 설명하였지만 이에 한정되는 것은 아니고 소형 LED 기판 등 일반적인 반도체 회로 기판에도 사용이 가능함은 자명하다고 할 것이다.
- [0123] 앞서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예들을 참조하여 설명하였지만, 해당 기술분

야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술 될 특허청구범위에 기재된 본 발명의 사상 및 기술영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

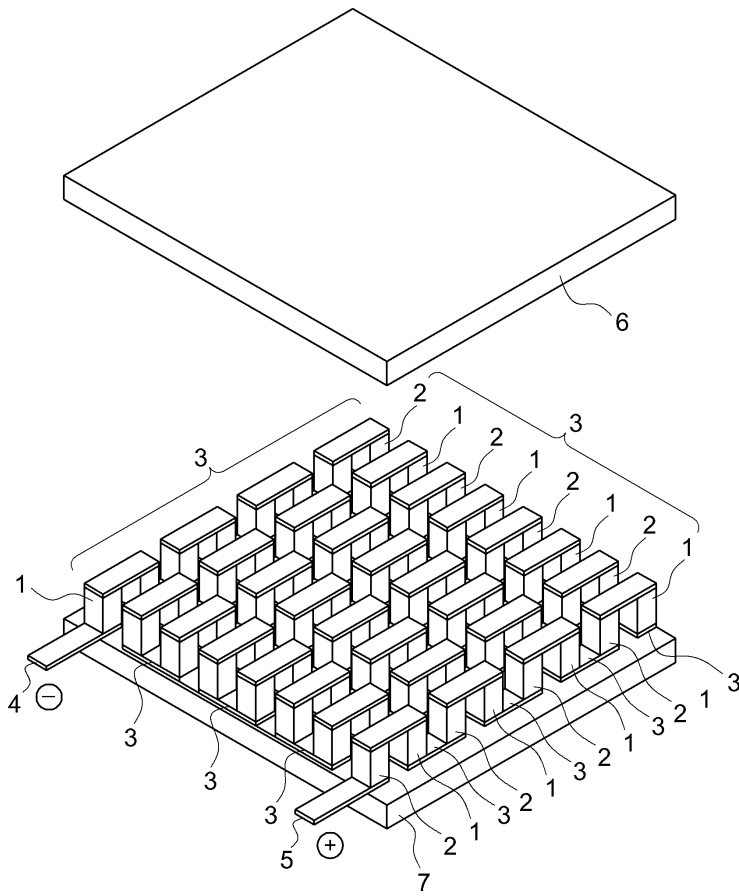
부호의 설명

[0124]

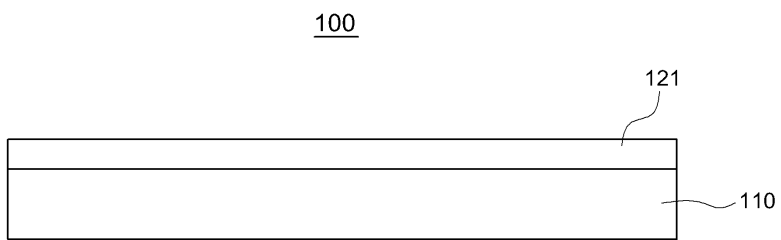
- | | |
|---------------------|------------------|
| 100: 열전모듈 | 110: 실리콘 기판 |
| 120: 단열홈부 | 121: 감광성 수지층 |
| 123: 마스크 | 125: 단열홈 |
| 130: 전극 | 131: 절연층 |
| 133: Ti 박막층 | 135: 마스크 |
| 140: P형 열전반도체 | 141: 마스크 |
| 150: N형 열전반도체 | 200: 열전모듈 |
| 210: 실리콘 기판 | 220: 열전반도체 안착부 |
| 221: 실리콘 나이트라이드 박막층 | 223: 감광성 수지층 |
| 225: 마스크 | 227: 홈 |
| 229: 절연층 | 230: 단열홈부 |
| 231: 감광성 수지층 | 233: 마스크 |
| 235: 단열홈 | 240: P형 열전반도체 |
| 241: 마스크 | 250: N형 열전반도체 |
| 260: 전극 | 261: 마스크 |
| 300: 발열소자 패키지 | 310: 실리콘 기판 |
| 320: 발열소자 | 330: 수평형 박막 열전모듈 |
| 331: 제1열전모듈 | 333: 제2열전모듈 |
| 340: 전극 | 350: P형 열전반도체 |
| 360: N형 열전반도체 | 400: 발열소자 패키지 |
| 410: 실리콘 기판 | 420: 발열소자 |
| 430: 수평형 박막 열전모듈 | 431: 제3열전모듈 |
| 433: 제4열전모듈 | 440: 전극 |
| 450: P형 열전반도체 | 460: N형 열전반도체 |

도면

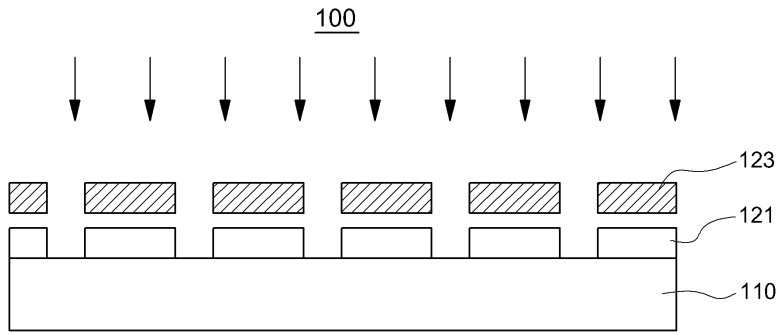
도면1



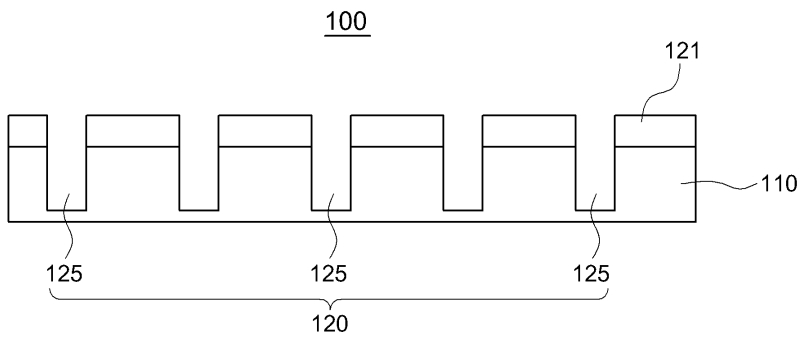
도면2a



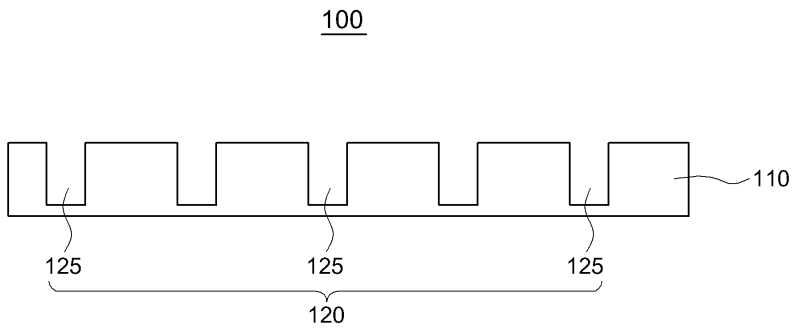
도면2b



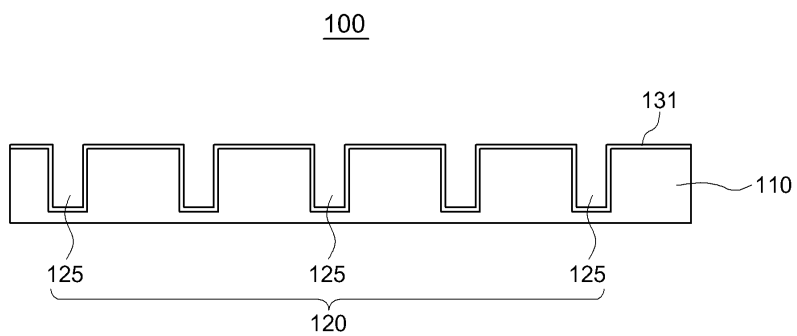
도면2c



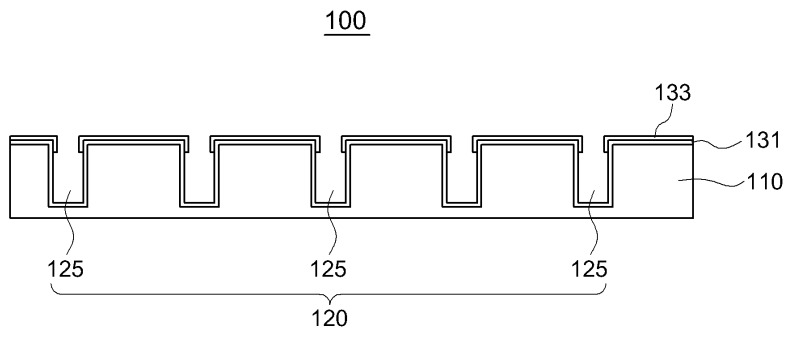
도면2d



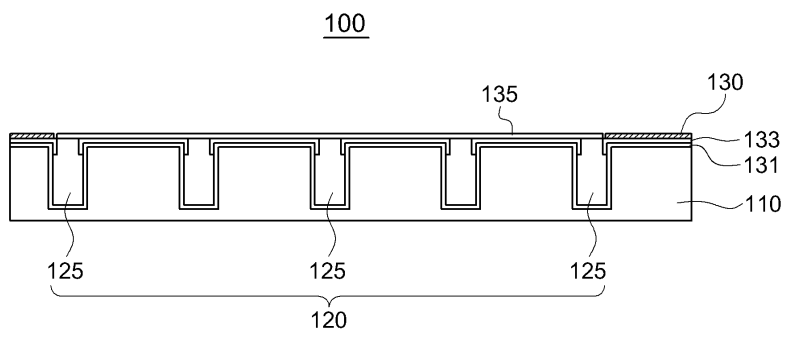
도면2e



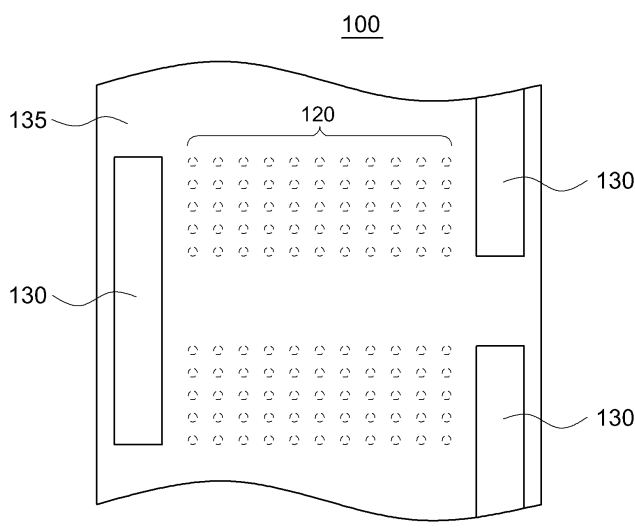
도면2f



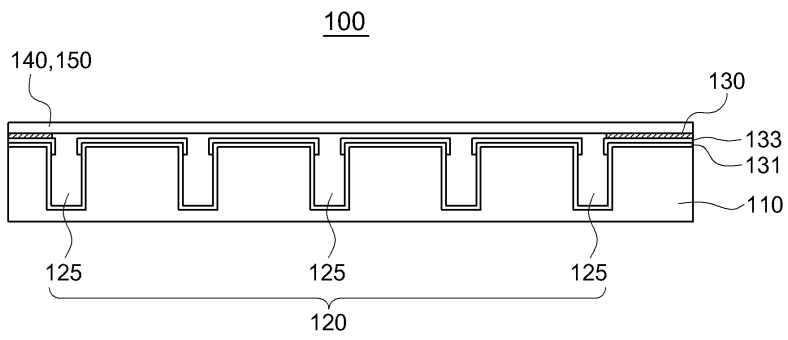
도면2g



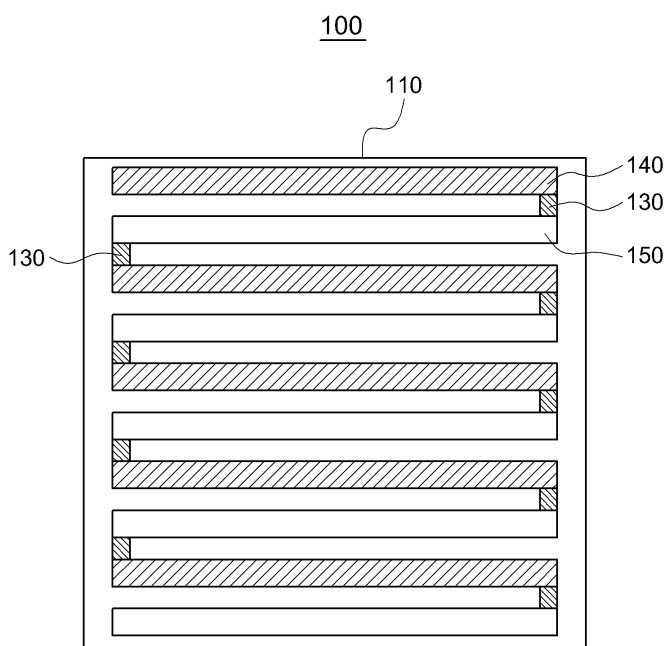
도면2h



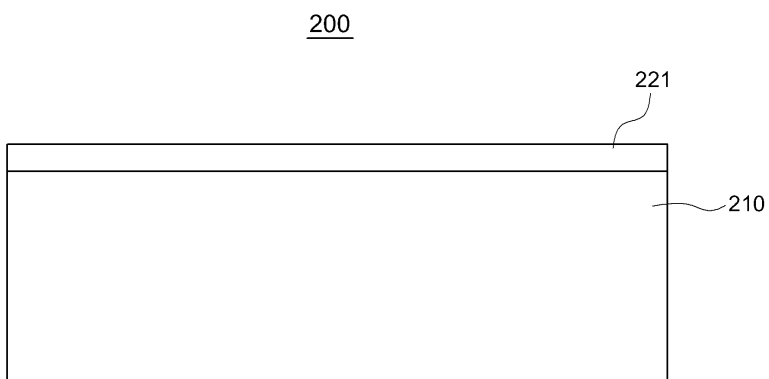
도면2i



도면2j

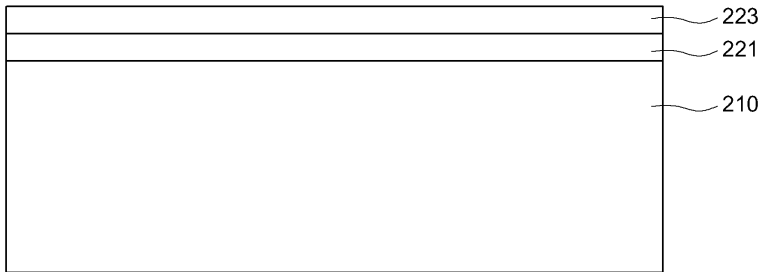


도면3a



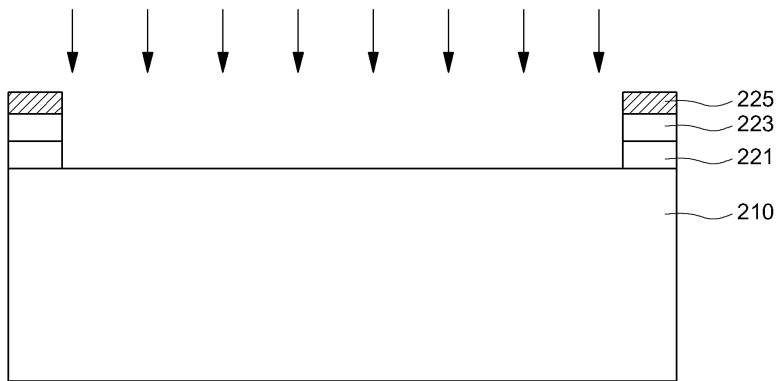
도면3b

200



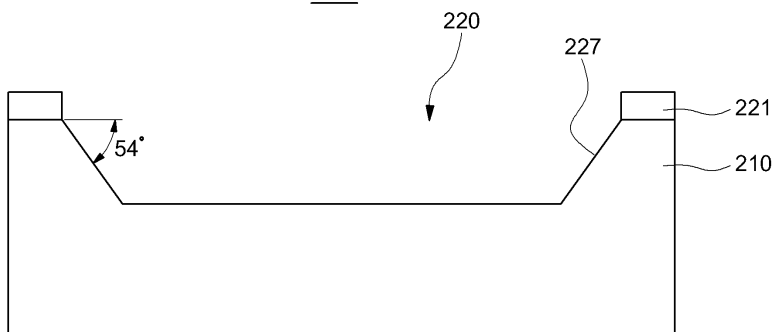
도면3c

200

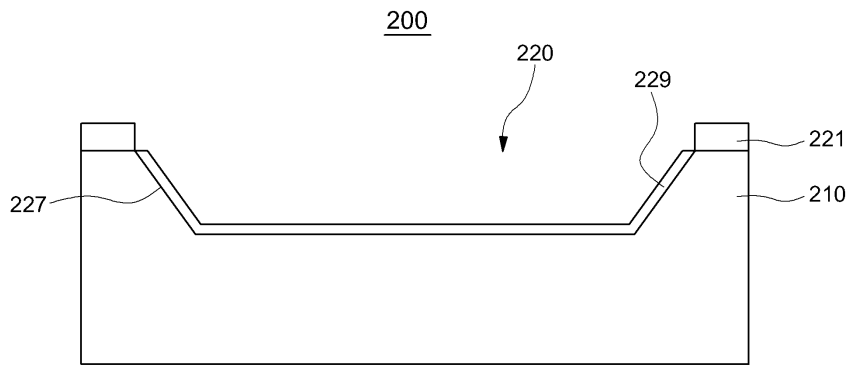


도면3d

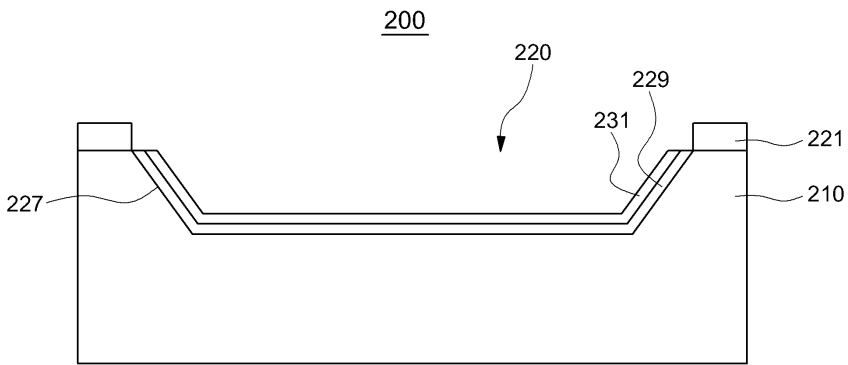
200



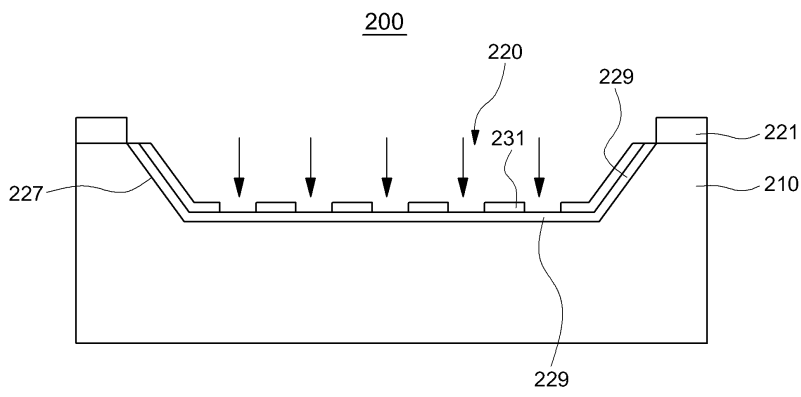
도면3e



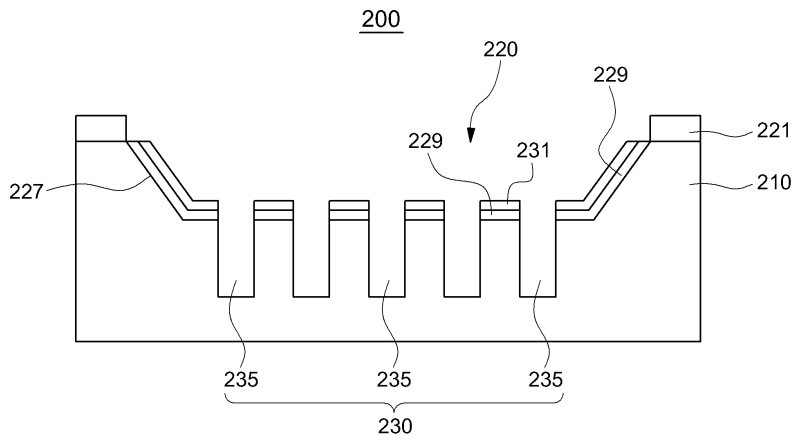
도면3f



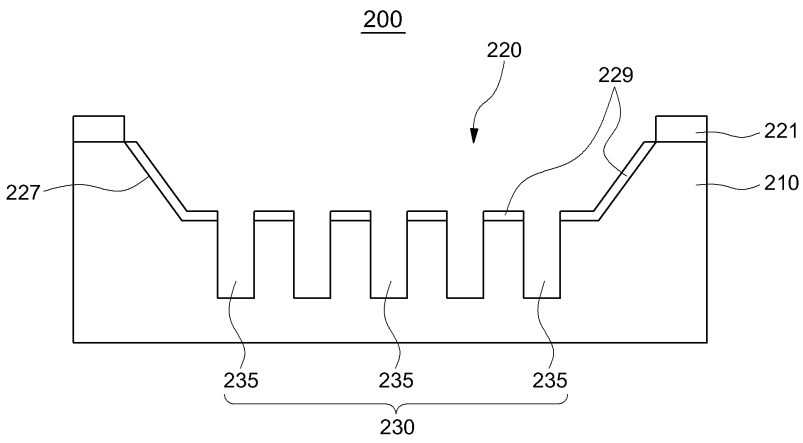
도면3g



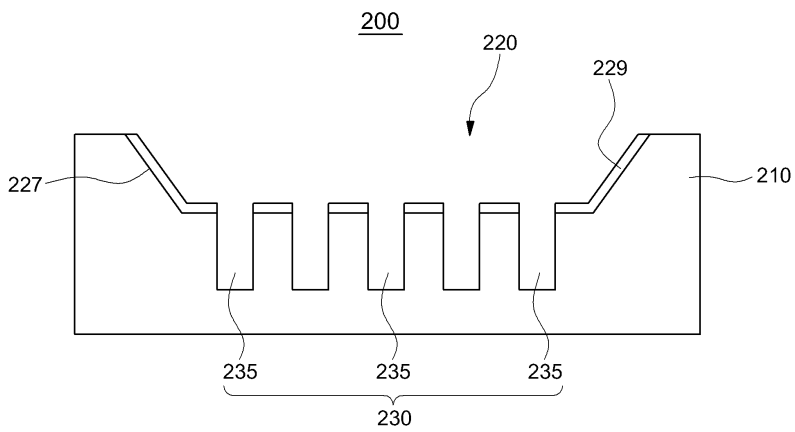
도면3h



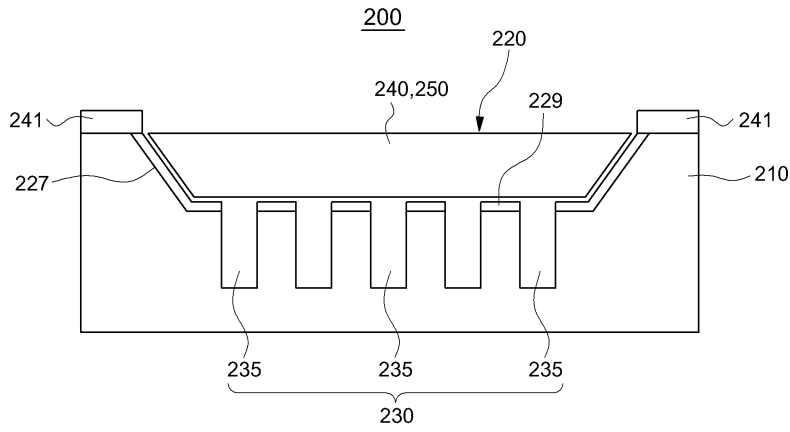
도면3i



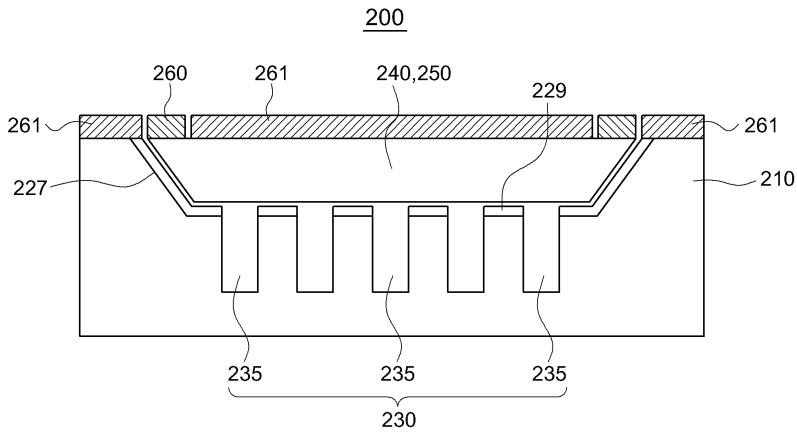
도면3j



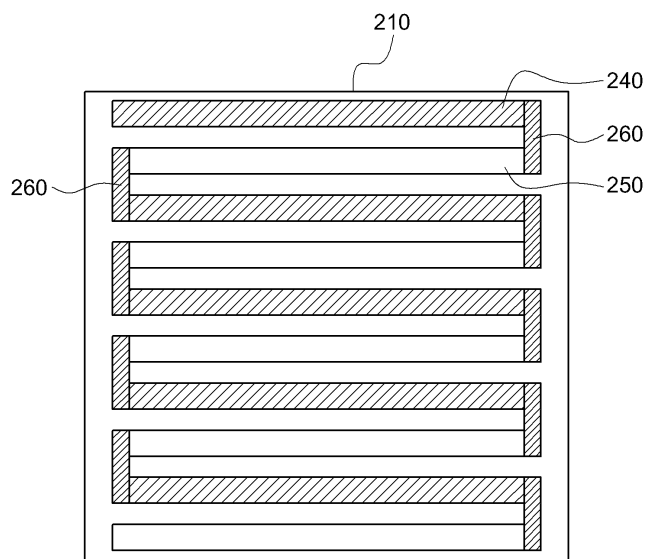
도면3k



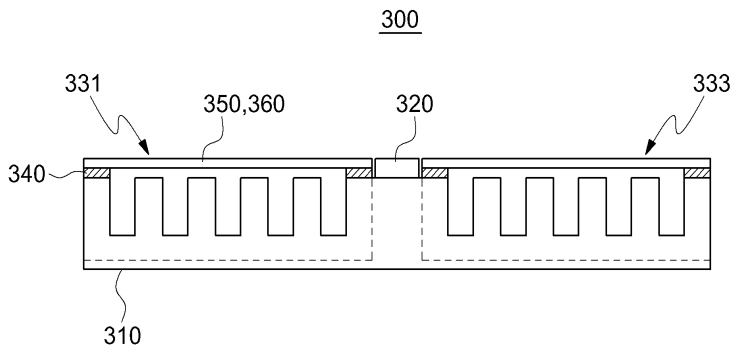
도면3l



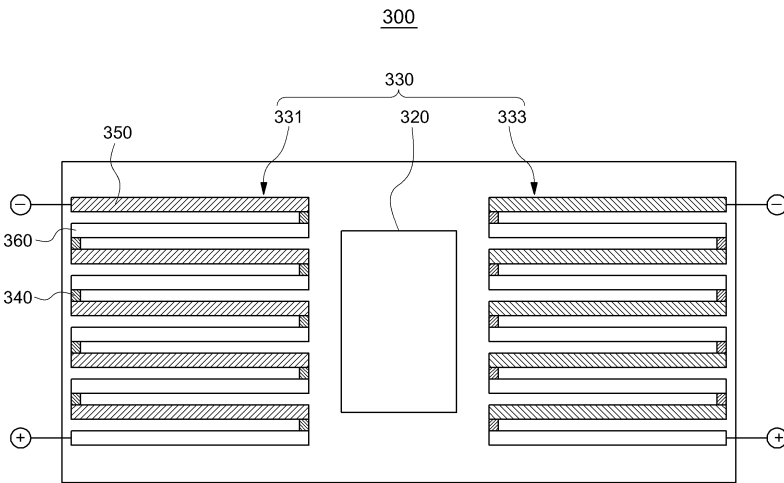
도면3m



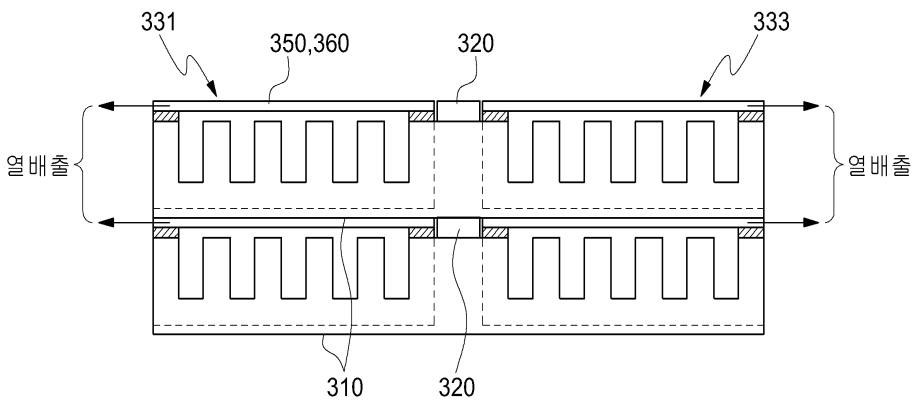
도면4a



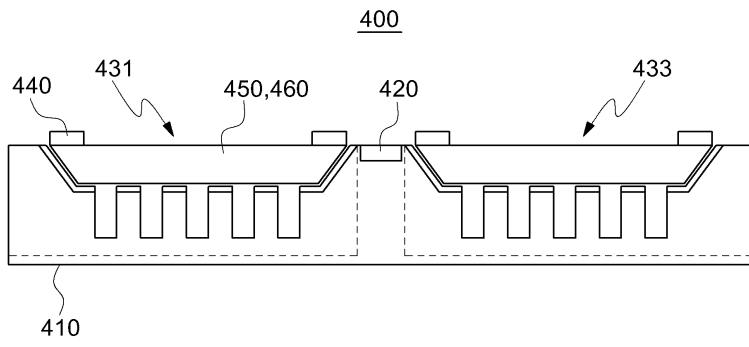
도면4b



도면4c



도면5a



도면5b

