

고집적/고성능 반도체 패키지 및 모듈 기술

- 기술분류 전기/전자
- 거래유형 라이선스
- 기술가격 별도 협의
- 기술구분 상용화·제품화

기술개요

- 본 기술은 반도체 칩 일면에 홈을 형성하여 다층의 칩을 적층 할 때 홈에 삽입하는 방식을 이용하여 정밀도를 개선할 수 있는 적층 패키지 기술, 다종의 소자를 적층할 때 특정 기능을 담당하는 반도체 칩 전용의 삽입 기판을 이용하여 다종 소자의 적층시 발생하는 신호 연결의 얽힘 등을 해결할 수 있는 적층형 패키지 구조에 관한 기술, 메모리 모듈에 있어 모듈의 적층 방식을 이용하여 속도와 집적도를 개선할 있는 메모리 모듈 구조에 관한 기술에 관한 것임

기술의 특징 및 장점

기존기술 한계

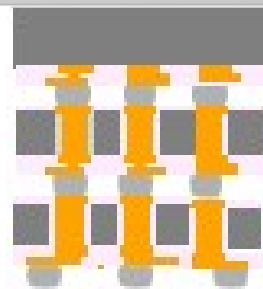
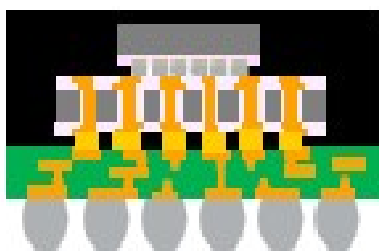
- 뱀프의 사이즈가 작아지면서 칩과 기판을 접합하거나 칩과 칩을 적층 할때 I/O 접합부의 틀어짐이 발생할 가능성이 높아짐
- 다종의 소자를 적층하는 패키지 방법의 경우 적층하면서 신호의 얽힘 현상 등으로 인한 적층 구현의 한계를 가짐
- 고속 메모리 모듈의 경우 메모리 패키지에 따른 신호 전달 속도차가 발생하고 시스템의 소형화에 따른 고집적 소형 메모리 모듈 기술이 필요함

개발기술 특성

- 반도체 칩 일면에 홈을 형성하여 칩을 적층할 때 홈에 타 일면을 삽입하는 방식을 적용함으로써 접합부의 정밀도를 개선할 수 있음
- Logic 칩, 메모리 칩 등의 목적에 맞는 칩 전용 중간 삽입 기판 (interposer)를 삽입하는 방법을 이용하여 신호 연결의 어려움을 해결함
- 한 모듈의 실장되는 메모리 패키지수를 줄이고 메모리 모듈을 적층하는 방법을 이용하여 위치에 따른 신호 전달 차이를 줄이고 소형화된 메모리 모듈을 구현함

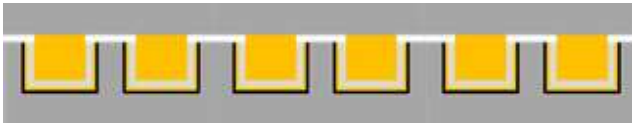
기술활용분야 3차원 적층 반도체 패키지 분야, 메모리 반도체 패키지 분야

- 다종 혹은 동종 소자가 3차원으로 다수 적층되는 반도체 패키지
- 고집적 소형 메모리 모듈

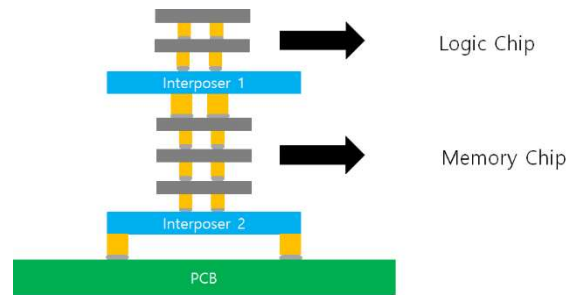


[3차원 적층 반도체 패키지]

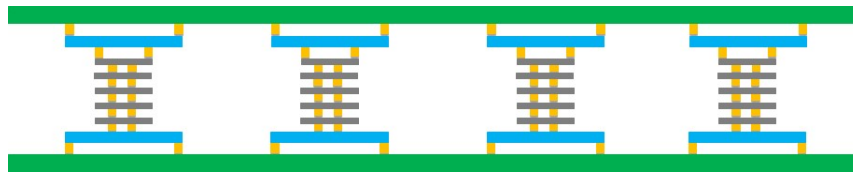
주요도면 / 사진



[정밀도 개선 반도체 패키지 구조 모식도]



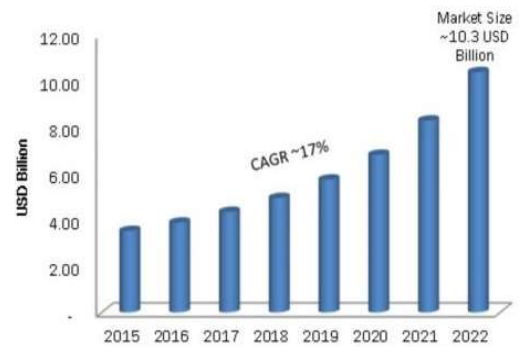
[다중소자 적층 반도체 패키지 구조 모식도]



[적층 메모리 모듈 구조 모식도]

시장동향

- 세계 3D IC 기술은 2019년 이후 TSV 기술 등이 결합된 다종의 다층 반도체 패키지 출현이 될 것으로 예측되고 있음
- 세계 3D IC 기술 관련 시장은 2016년에서 2022년까지 연평균 17%의 성장률이 예측되고 있으며 2022년에 10B\$ (USD)에 육박할 것으로 예측되고 있음



[3D IC 시장전망]

기술완성도



TRL 1 : 응용 및 개발을 위한 기초 원리가 확인, 보고된 단계

지식재산권 현황

No.	특허명	출원일자	등록(출원)번호	IPC
1	개선된 접합부를 이용한 칩 접합방법 및 이에 의한 패키지	2018.10.17	10-2018-0123509	H01L
2	다중 소자를 이용한 3차원 적층형 패키지 구조	2018.11.30	10-2018-0151566	H01L
3	메모리모듈 구조 및 제조방법	2018.11.29	10-2018-0150905	H01L